

PHILS 인터페이스 알고리즘의 안정도 및 정확도 분석

조철희, 정태준, 강성욱, 김동희[†]
 전남대학교 전기공학과

Stability and Accuracy Analysis of PHILS Interface Algorithm

Cheol-Hee Jo, Tae-Jun Jeong, Seong-Uk Kang, Dong-Hee Kim[†]
 Department of Electrical Engineering, Chonnam National University

ABSTRACT

본 논문에서는 PHILS(Power Hardware In the Loop Simulation) 인터페이스 알고리즘의 안정도 및 정확도를 분석한다. PHILS 인터페이스 알고리즘은 실시간 시뮬레이터, 파워앰프 및 Device under test로 구성된 PHILS 시스템의 Software 측과 Hardware 측을 연계할 뿐만 아니라 PHILS 시스템의 안정도 및 정확도에 직접적인 영향을 줄 수 있다. 따라서 본 논문에서는 대표적인 네 가지 PHILS 인터페이스 알고리즘을 소개하고 안정도 및 정확도를 분석한다.

1. 서론

최근 신재생 에너지 및 전기 자동차, 에너지 저장 시스템과 같이 전력변환시스템을 기반으로 한 발전원 및 부하가 증가함에 따라 전력망의 구조가 더욱 복잡해지고 있다. 이러한 복잡한 전력망을 분석하기 위해 정확하고 효율적인 시뮬레이션 기술이 요구되고 있다. Real time simulator (RTS)를 기반으로 전력변환장치와 같이 실제 Hardware를 연계할 수 있는 PHILS(Power Hardware In the Loop Simulation)는 복잡한 전력변환시스템과 전력망의 특성을 보다 정확하게 묘사할 수 있어 많은 응용분야에서 적용되고 있다^[1].

PHILS 시스템은 그림 1과 같이 RTS와 Power amplifier 및 Device under test (DUT)로 구성된다. RTS는 전력망을 모델링하여 실시간으로 시뮬레이션을 수행할 수 있을 뿐만 아니라 Input/Output 및 통신 기능을 통해 Power amplifier와 연계가 가능하다. Power amplifier는 Source 및 Sink로서 전력의 4상한 동작이 가능하여 DUT로 전력을 공급 및 흡수할 수 있다. 위와 같은 구조에서 DUT를 전력변환장치로 구성할 경우 PHILS 시스템은 전력망과 전력변환장치에 대해 보다 정확한 동작을 묘사할 수 있다. 하지만 RTS의 모델링 연산 시간과 Power amplifier의 통신 지연시간은 폐루프로 구성된 PHILS 시스템의 안정도에 직접적인 영향을 준다. 또한 소자의 물리적인 한계로 인해 Power amplifier와 RTS간에 교환되는 data에 오차가 발생하고 이는 PHILS 시스템의 정확도에 직접적인 영향을 준다.

따라서 본 논문에서는 소자 및 장치의 물리적인 한계로 인해 발생하는 PHILS 시스템의 안정도 및 정확도 문제를 해결하기 위한 네 가지 인터페이스 알고리즘을 소개한다. 또한 인터페이스 알고리즘의 개루프 및 폐루프 전달함수를 이용하여 PHILS 시스템의 안정도 및 정확도를 비교, 분석한다.

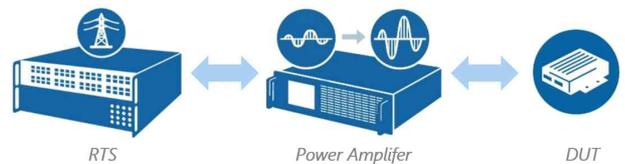


그림 1 Power Hardware In the Loop Simulation 구성도
 Fig. 1 Configuration of power hardware in the loop simulation

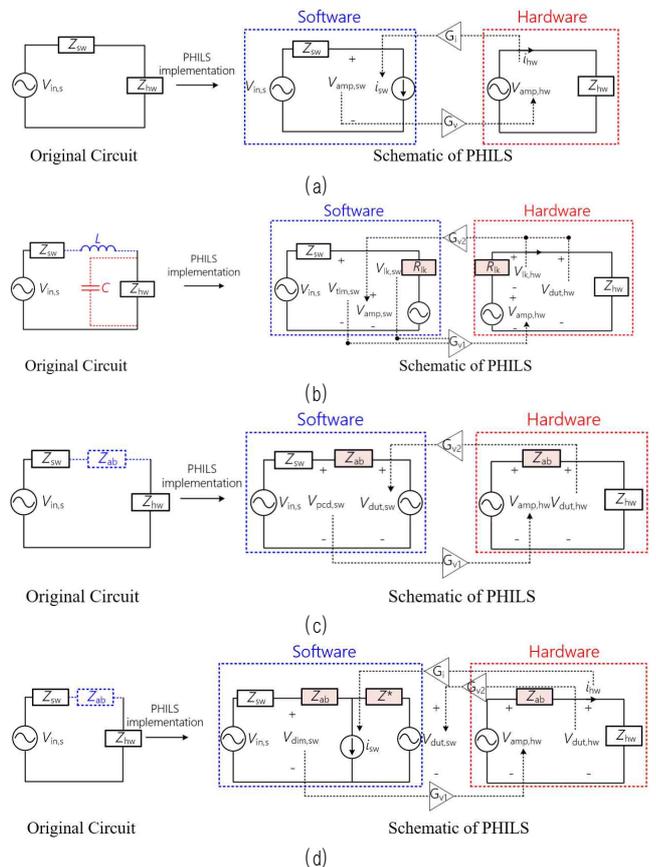


그림 2 (a) ITM, (b) TLM, (c) PCD, (d) DIM 인터페이스 알고리즘
 Fig. 1 Interface algorithm of (a) ITM, (b) TLM, (c) PCD, and (d) DIM

2. PHILS 인터페이스 알고리즘

2.1 인터페이스 알고리즘의 소개

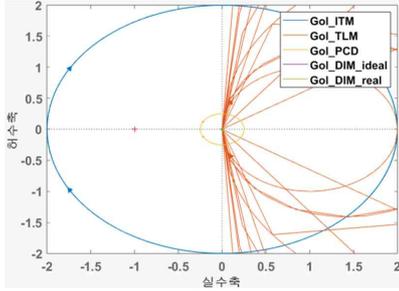


그림 3 PHILS 인터페이스 알고리즘의 나이퀴스트 선도
Fig. 3 Nyquist plot of interface algorithms

표 1 PHILS 구현 파라미터
Table. 1 Parameters of PHILS implementation

Parameters	Value
지연 시간	1 μ s
R_{sw} 및 L_{sw}	2 Ω 및 2mH
R_{hw} 및 L_{hw}	1 Ω 및 1mH

인터페이스 알고리즘은 RTS에서 동작하는 Software 측과 DUT가 동작하는 Hardware측간에 교환되는 신호의 유형과 신호의 처리 절차를 결정하는 연계 방법으로서 구현 방법에 따라 PHILS 시스템의 안정도 및 정확도가 개선될 수 있다. 그림 2는 대표적인 네 가지 인터페이스 알고리즘을 보여준다.

그림 2(a)는 Ideal transformer model (ITM)으로서 테스트 하고자 하는 회로가 전압원 및 임피던스로 구성될 경우 PHILS 구현 시 Software 측에서 Hardware 측은 중속 전류원으로 동작화되고 Hardware 측에서 Software 측은 중속 전압원으로 동작화된다. 이때 각 측에서 계측된 전압 및 전류는 Power amplifier를 통해 교환 및 구현된다. 그림 2(b)는 Transmission line method (TLM)으로서 테스트 하고자 하는 회로에 인덕터 L 혹은 커패시터 C 가 추가로 구성될 경우 PHILS 구현 시 Linking 저항 R_{lk} 이 해당 인덕터 혹은 커패시터와 시스템의 전체 delay time을 통해 아래 식과 같이 도출될 수 있다.

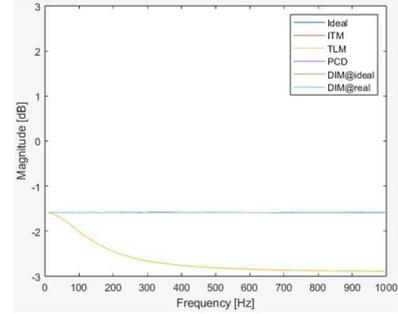
$$R_{lk} = \frac{L}{\text{delay time}} \text{ or } \frac{\text{delay time}}{C} \quad (1)$$

그림 2(c)는 Partial circuit duplication (PCD)으로서 테스트 하고자 하는 회로에 부분 임피던스 Z_{ab} 가 추가로 구성될 경우 PHILS 구현 시 Z_{ab} 를 Software 및 Hardware 양 측에 모두 구성한다. 그림 2(d)는 Damping impedance method (DIM)으로서 테스트 하고자 하는 회로가 PCD와 동일한 경우 PHILS 구현 시 PCD의 PHILS 구현 회로에 중속 전류원과 댐핑 임피던스 Z^* 가 추가된 형태로 구현된다. Z^* 는 Hardware 측의 DUT인 Z_{hw} 와 동일한 값으로 구현된다.

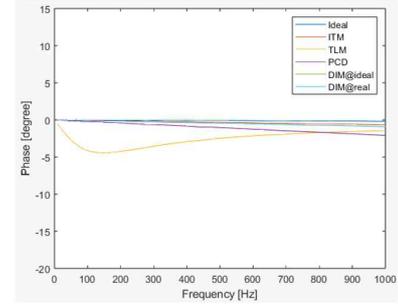
2.2 인터페이스 알고리즘의 안정도 및 정확도 분석

위에서 소개된 네 가지 인터페이스 알고리즘은 블록다이어그램으로 표현될 수 있고 이를 기반으로 도출되는 개루프 전달함수와 나이퀴스트 선도를 이용하여 동일한 조건에서 각 인터페이스 알고리즘의 상대적인 안정도를 판별할 수 있다. 그림 3은 표 1의 동일한 조건에서 각 인터페이스 알고리즘의 나이퀴스트 선도를 보여준다. 여기서 DIM-ideal은 Z^* 를 Z_{hw} 와 완벽히 동일하게 구현한 상황이고 DIM-real은 Z^* 와 Z_{hw} 간에 10% 오차를 갖는 상황으로 구분하여 개루프 전달함수를 도출하였다.

표 1의 동일한 조건인데도 불구하고 그림 3과 같이 ITM은



(a)



(b)

그림 3 PHILS 인터페이스 알고리즘 별 DUT 출력 전압에 대한 보데 선도
Fig. 3 Bode plot of DUT voltage of interface algorithm

불안정한 반면 다른 인터페이스 알고리즘들은 모두 안정한 것을 알 수 있다. 상대적인 안정도는 TLM-DIM-PCD-ITM 순으로 높은 것을 알 수 있다.

PHILS 시스템의 정확도 판별의 경우 개발 및 연구 단계에서 PHILS를 이용하기 때문에 완성 단계에서 알 수 있는 실제 data 값을 이용할 수 없다. 따라서 테스트 하고자 하는 회로가 이상적으로 동작할 경우의 DUT 전달함수와 PHILS 시스템의 DUT 전달함수를 비교하여 정확도를 판별할 수 있다. 네 가지 인터페이스 알고리즘이 모두 안정한 조건에서 비교하기 위해 표 1의 경우에서 Software 측 파라미터 R_{sw} 및 L_{sw} 가 0.2 Ω 및 0.2mH로 변경하여 네 가지 인터페이스 알고리즘의 정확도를 비교한다. 그림 4는 전달함수에 대한 보데 선도를 보여준다. 정확도는 ITM-DIM-PCD-TLM 순으로 높은 것을 알 수 있다.

3. 결론

본 논문에서는 PHILS 시스템 구현 시 Software 측과 Hardware측을 연계하고 안정도 및 정확도에 직접적인 영향을 주는 인터페이스 알고리즘을 분석하였다. 대표적인 네 가지 인터페이스 알고리즘의 안정도 및 정확도는 개루프 및 폐루프 전달함수를 통해 비교 및 분석되었다.

본 연구는 2023년도 한국전력연구원 기초연구과제의 지원을 받아 수행한 연구 과제입니다. (No. R23X007-05)

참고 문헌

[1] C. S. Edrington, M. Steurer, J. Langston, T. El-Mezyani and K. Schoder, "Role of Power Hardware in the Loop in Modeling and Simulation for Experimentation in Power and Energy Systems," in Proceedings of the IEEE, vol. 103, no. 12, pp. 2401-2409, Dec. 2015.