

# Planar Type PCB 코일이 적용된 무선 충전 패드의 전류 불균형을 고려한 공진 커패시터 설계

신창수<sup>1</sup>, 강소정<sup>1</sup>, 김영민<sup>2</sup>, 김동희<sup>1\*</sup>

전남대학교 전기공학<sup>1</sup>, 현대모터스 전동화PE재료개발팀<sup>2</sup>

## Design of Resonant Capacitors Considering Current Imbalance in Wireless Charging Pads with Planar Type PCB Coil

Chang-Su Shin<sup>1</sup>, So-Jeong Kang<sup>1</sup>, Youngmin Kim<sup>2</sup> and Dong-Hee Kim<sup>1\*</sup>

Department of Electornical Engineering Chonnam National University

Electrification PE Materials Development Team Hyundai Motor Group

### ABSTRACT

본 논문은 PCB 패턴으로 설계된 무선충전 패드의 송신부 병렬 코일과 수신부 다층구조를 고려한 공진 커패시터 설계를 제안한다. 코일 간 상호 인덕턴스와 AC저항의 불균형은 전류 밀도와 위상에 영향을 미치며 효율 저하의 원인이 되기 때문에 병렬 회로를 증가시키고 분리된 공진 커패시터 수식을 도출하여 병렬 코일의 AC 저항과 전류 간 손실을 최소화할 수 있도록 설계된다. WPT3급 패드와 동일한 디자인의 실제 패드 파라미터를 기준으로 설계되며 시뮬레이션을 통해 검증한다.

### 1. 서론

IPT(Inductive Power Transfer) 시스템은 대표적인 무선충전 방법으로 자속 생성, 유도 및 차폐를 위한 무선충전 패드 설계가 중요하며, 일반적으로 페라이트 자성체, 알루미늄 실드 및 리츠와이어로 설계된다. 특히, 에너지 전달 효율 향상을 위해 사용되는 리츠와이어는 시스템 전력 및 주파수에 따라 가격이 증가하며 Tray에 직접 감아 제작되므로 파라미터 오차가 발생할 수 있어 비경제적이다. Planar Type의 PCB 코일은 기계 공정을 통한 대량 생산에 적합하고 복잡한 패턴 구현이 상대적으로 쉬워 리츠와이어 대체제로 고려할 수 있으나 제작 가능한 패턴 두께의 한계로 다층 병렬 디자인으로 설계되고 코일 패턴은 높은 AC 저항과 층간 파라미터 불균형이 발생한다. 따라서 이를 극복할 수 있는 설계가 필요하다.

본 논문에서는 병렬 코일 증가회로를 도출하고 전류 크기 및 위상 불균형 극복을 위한 공진 커패시터 설계 방법을 제안하며 시뮬레이션을 통해 검증한다.

### 2. Planar Type PCB 병렬 코일 분석

Planar Type PCB 코일은 동박 패턴의 분할 개수, 두께 및 절연 거리에 따라 AC 저항 및 전류 밀도가 변하므로 최적 설계가 연구되었으나<sup>[1]</sup> 제안하는 공진 설계 방법 비교를 위해 그림 1과 같이 SAE J2954 국제 규격 WPT3/Z2급 수신부 패드 코일을 기준으로 디자인 및 제작하였다. 4oz 2층 1.6mm PCB 2개가 1.6mm 간격으로 구성된 4층 병렬 구조로 송신부와 가까운 순서대로 코일의 자기인덕턴스는 각각  $L_{s1}$ ,  $L_{s2}$ ,  $L_{s3}$ ,  $L_{s4}$ 이며, 동일한 규격의 송신부 2병렬 코일 중 바깥쪽 외경에 위치한 코일의 자기인덕턴스는  $L_{p1}$ , 내경에 위치한 코일의 자기인덕턴스는  $L_{p2}$ 이다. 그림 2는 실제 파라미터 설계에 사용된 패드이며, LCR파라미터를 통해 측정된 인덕턴스( $L_{m,n}$ ) 및 AC저항( $R_p$ )은 표 1 과 같다.

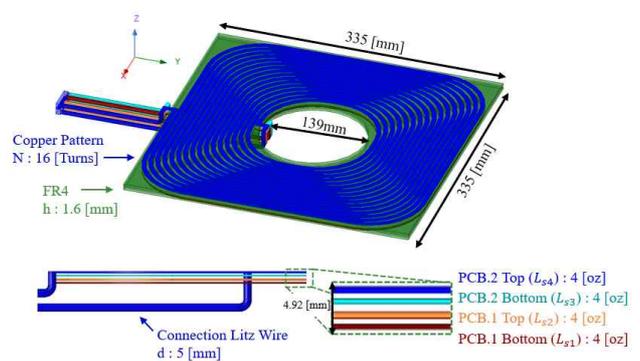


그림 1 Planar Type PCB 코일 디자인  
Fig. 1 Planar Type PCB coil design

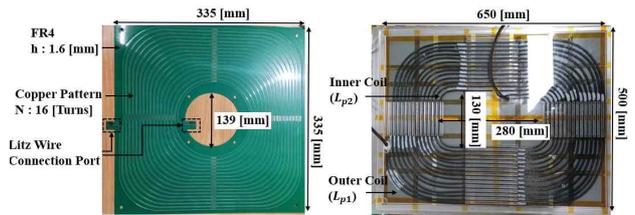


그림 2 실제 측정에 사용된 코일  
Fig. 2 Coil used in actual measurements

표 1 패드 파라미터  
Table 1 PAD parameters

$L_{m,n}$	$L_{p1,p1}$	$L_{p1,p2}$	$L_{p1,s1}$	$L_{p1,s2}$	$L_{p1,s3}$	$L_{p1,s4}$	$L_{p2,p2}$
Value [uH]	43.706	37.658	95.877	96.054	97.942	97.54	43.334
$L_{m,n}$	$L_{p2,s1}$	$L_{p2,s2}$	$L_{p2,s3}$	$L_{p2,s4}$	$L_{s1,s1}$	$L_{s1,s2}$	$L_{s1,s3}$
Value [uH]	95.836	95.99	98.116	97.679	98.041	97.193	95.382
$L_{m,n}$	$L_{s1,s4}$	$L_{s2,s2}$	$L_{s2,s3}$	$L_{s2,s4}$	$L_{s3,s3}$	$L_{s3,s4}$	$L_{s4,s4}$
Value [uH]	95.367	98.089	95.484	95.414	101.099	100.265	101.791
$R_n$	$R_{p1}$	$R_{p2}$	$R_{s1}$	$R_{s2}$	$R_{s3}$	$R_{s4}$	
Value [mΩ]	37.37	77.09	1562.99	1562	1900.76	1905.9	

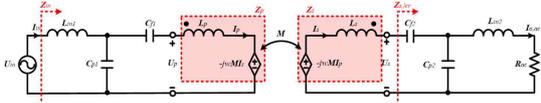


그림 3 DS-LCC 공진 토폴로지 등가회로  
Fig. 3 DS-LCC compensation topology equivalent circuit

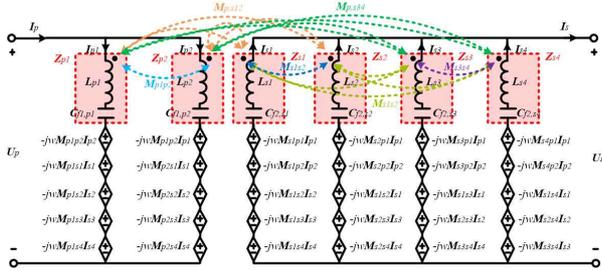


그림 4 병렬 코일 등가회로  
Fig. 4 Parallel coil equivalent circuit

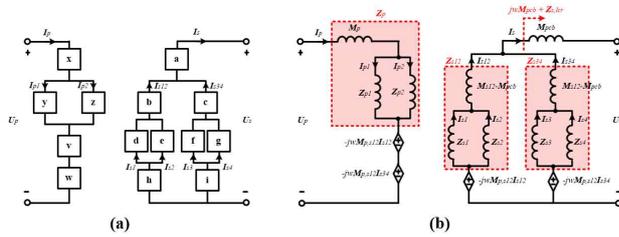


그림 5 전류에 따라 정리된 병렬 코일 등가회로  
Fig. 5 Parallel coil equivalent circuit according to current

### 3. 병렬 코일 등가화

IPT 시스템에서 VA 정격 감소를 위해 설계되는 공진네트워크 중 DS-LCC 토폴로지는 공진 인덕터 전류비 설계를 통해 송수신 패드의 전류를 조정할 수 있어 PCB 코일을 적용하는데 적합하다<sup>[2]</sup>. 그림 3은 기존 DS-LCC 토폴로지 회로이며 코일과 직렬로 연결된 커패시터( $C_{in}$ )는 일반적으로 식 (1)과 같이 설계된다.

$$C_{f,n} = \frac{1}{w^2(L_n - L_{in,m})} \quad (1)$$

하지만 실제 송수신 코일은 그림 4와 같이 각각 2병렬, 4병렬 구조이며, 15개의 상호인덕턴스가 기전력을 만들어 전류 및 위상에 영향을 주기 때문에 전류 불균형에 따른 손실이 발생한다<sup>[2]</sup>. 따라서 등가회로 및 수식 도출 과정을 통해 전류 균형 조정을 위한 임피던스( $Z_n$ )를 도출한 후 재설계해야 한다.

그림 5(a)는 전류를 기준으로  $L_{m,n}$ 을 KCL과 KVL을 만족하는 임의의 임피던스로 치환하여 각각 송신부와 수신부로 분리한 등가회로이다. 이때,  $L_{m,n}$  중 오차율 0.5% 이하의 인덕턴스를 묶어서 간소화하며 이후 임의의 임피던스를 풀어서 정리하면 그림 5(b)와 같다.

### 4. 공진 커패시터 설계 및 검증

등가회로를 토대로 각 전류는 병렬 회로의 임피던스로 계산되어 동일한 값으로 설계하거나 특정 전류비로 설계할 수 있으며, 동일한 값을 기준으로 설계할 경우  $Z_n$ 를 만족하는  $C_{in}$  값은 식 (2) - (3)이다.

$$C_{f1,n} = \frac{1}{w^2(L_{pn} + M_p - 2L_{in1})} \quad (2)$$

$$C_{f2,sn} = \frac{1}{w^2(L_{sn} - 4L_{in2} + M_{sn(n \pm 1)} + 2M_{pcb})} \quad (3)$$

시뮬레이션은 실제 패드의 파라미터를 기준으로 공진네트워크 값을 도출하여 설계하였다. 그림 6(a)은 기존 설계 방법일 때 패드에 흐르는 전류 파형이며 그림 6(b)는 제안하는 설계 방법일 때 패드 전류이다. 시뮬레이션 결과 제안하는 설계 방법으로 전류 크기와 위상이 균형화된 것을 확인할 수 있었다. 그림 7은 도출된 전류와 패드의 AC 저항에 의한 동손을 계산한 결과이며, 송수신 코일 손실은 18.4%, 34.3% 저감하였다.

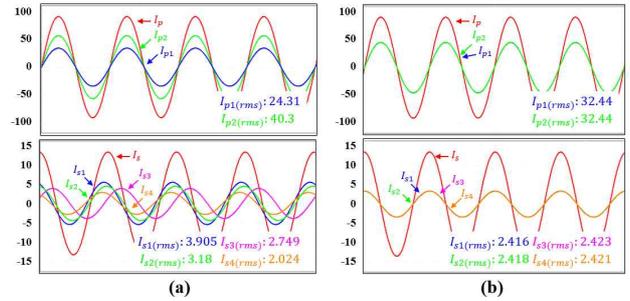


그림 6 시뮬레이션 결과 (a)기존 설계 (b)제안하는 설계  
Fig. 6 Simulation result  
(a)Existing Design (b)Proposed Design

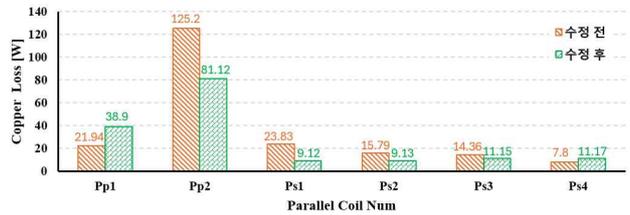


그림 7 송수신 병렬 코일 손실  
Fig. 7 GA/VA parallel coil copper loss

### 5. 결론

본 논문에서는 PCB를 적용한 무선충전 패드의 병렬 코일을 등가화하고 직렬로 연결된 공진 커패시터 설계 수식을 도출하였다. 제안한 설계 방법은 기존 설계의 전류 크기 및 위상 불균형을 해결하였으며 송수신 손실을 저감하였다. 향후 AC 저항 크기를 고려한 최적 설계 방법을 도출할 계획이다.

- 본 연구는 2023년도 현대엔지니어링의 연구용역사업 지원에 의한 연구임  
- This work was supported by the Research service business Program funded by the Hyundai NGV (Korea)

### 참고 문헌

- [1] Ali Ramezani; Mehdi Narimani, "An Efficient PCB Based Magnetic Coupler Design for Electric Vehicle Wireless Charging", Proceedings of IEEE Open Journal of Vehicular Technology, 389 - 402. doi : 10.1109 / OJVT.2021.3112687
- [2] Hongsheng Hu , Shanxu Duan, Tao Cai , and Pingkang Zheng "A Current-Sharing Compensation Method for High Power Medium Frequency Coils Composed of Multiple Branches Connected in Parallel", Proceedings of IEEE Transactions on Industrial Electronics, 4637 - 4651. doi : 10.1109/TIE.2021.3084170