

# 서버용 전원장치를 위한 출력 인덕터 전류 리플이 없는 위상천이 풀브릿지 DC-DC 컨버터

이신우 김수홍  
LG이노텍

## Phase Shift Full Bridge DC-DC Converter with Ripple-Free Output Inductor Current for Server Power

Sin Woo Lee  
LG Innotek

### ABSTRACT

본 논문은 서버용 전원장치를 위한 출력 인덕터 전류 리플이 없는 위상천이 풀브릿지 DC-DC 컨버터를 제안한다. 기존 위상천이 풀브릿지 컨버터는 출력 인덕터 전류 리플을 저감하기 위해 큰 인덕턴스를 갖는 출력 인덕터가 필요하다. 이는 컨버터의 부피 증가와 효율 저하를 야기하는 단점을 가지고 있다. 제안하는 컨버터는 출력 인덕터 대신 결합 인덕터를 이용한 리플 제거 회로를 적용하여 출력 인덕터 전류 리플을 제거하였다. 따라서 서버 전원과 같은 저전압 대전류 응용분야에서 낮은 전압/전류 리플을 요구하는 시스템을 만족시키는데 유리하다. 제안된 컨버터는 이론적 해석과 출력 12V-3.2kW 조건에서 시뮬레이션을 통해 검증하였다.

### 1. 서론

최근 인공지능(AI) 기술의 발전으로 이를 위한 AI 서버의 수요가 많아지고 있다. 일반 서버 대비 더 강력한 연산 능력과 더 빠른 데이터 처리 속도를 요구하는 AI 서버는 기존 대비 더 많은 전력을 요구하며 충분한 잔여 전력으로 부하의 변화에 대응해야 한다.

그림 1과 같이 일반적인 서버용 전원공급장치(PSU)는 2단 구조가 적용된다. 앞단은 높은 역률을 제공하기 위한 역률 보상 컨버터 단이며, 뒷단은 전기적 절연과 안정적인 DC 전압을 공급하기 위한 DC-DC 컨버터 단으로 구성된다.<sup>[1,2]</sup>

위상천이 풀브릿지(PSFB) 컨버터는 일반적으로 고전력밀도 및 고효율을 위한 고성능 서버용 전원장치에 사용된다. PSFB는 간단한 구조로 영전압 스위칭(ZVS)을 달성할 수 있는 장점을 가지고 있다. PSFB에서 낮은 출력 전압 리플을 만족하기 위해서는 출력 인덕터 전류의 리플을 저감해야 한다. 출력 인덕터 전류 리플을 저감하기 위한 방법 중 하나는 스위칭 주파수를 증가시키는 것이다. 이것은 스위칭 손실을 증가시키는 단점을 가지고 있다. 다른 방법은 출력 인덕턴스를 증가시키는 방법이다. 이 방법은 인덕터의 크기를 증가시켜 고전력밀도를 달성하기 어렵다. 또한 최근 서버의 전력용량이 증가함에 따라 200A~300A의 대전류를 출력 인덕터가 감당하는 상황에 인덕턴스를 증가시키는 것이 쉽지 않다. 대전류로 인한 온도 상승 및 자기포화로 인덕턴스가 감소하기 때문에 인덕턴스에 마진을 가지고 인덕터를 설계해야 한다.

본 논문은 PSFB 컨버터의 2차측 출력단에 출력 인덕터 대신 결합 인덕터를 이용한 리플 제거 회로를 적용하여 출력 인덕터 전류 리플을 제거하였다. 따라서 서버 전원과 같은 저전압 대전류 응용분야에서 낮은 전압/전류 리플을 요구하는 시스템을 만족시키는데 유리하다. 제안된 컨버터는 이론적 해석과 출력 12V-3.2kW 조건에서 시뮬레이션을 통해 검증하였다.

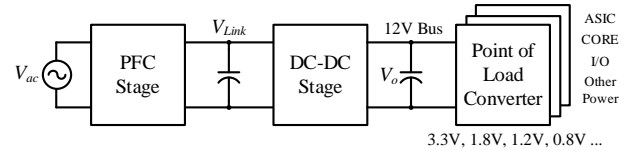


그림1 서버 전원 시스템의 기본 구성  
Fig.1 A Basic configuration of a server power system

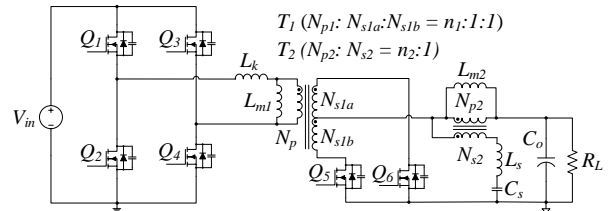


그림2 제안하는 위상천이 풀브릿지 컨버터  
Fig.2 A proposed phase shift full bridge converter

### 2. 제안하는 컨버터

#### 2.1 제안하는 컨버터 회로

그림3은 제안하는 위상천이 풀브릿지 컨버터이다. 제안하는 컨버터는 그림2의 기존 위상천이 풀브릿지 컨버터 구조에서 2차측 출력단의 출력 인덕터  $L_o$  대신 결합 인덕터  $T_2$ 로 대체된 리플 제거회로로 구성된다. 리플 제거 회로는 결합 인덕터  $T_2$ 와 보조 인덕터  $T_3$  그리고 보조 커패시터  $C_s$  로 구성된다. 변압기  $T_1$ 은 자화 인덕턴스  $L_{m1}$ , 누설 인덕턴스  $L_k$  그리고  $N_{p1} : N_{s1a} : N_{s1b} (= n_1 : 1 : 1)$ 의 턴 비를 갖는 이상적인 변압기로 모델링 하였다. 결합 인덕터  $T_2$ 는 자화 인덕턴스  $L_{m2}$  그리고  $N_{p2} : N_{s2} (= n_2 : 1)$ 의 턴 비를 갖는 이상적인 변압기로 모델링 하였다.  $T_2$ 의 누설 인덕턴스는 매우 작다고 가정하여 보조 인덕터  $L_s$ 에 포함된 것으로 가정하였다. 정상 상태에서 인덕터의 평균 전압은 0으로 가정하고 커패시터  $C_o$ 와  $C_s$ 의 평균 전압은  $V_o$ 로 가정한다.

## 2.2 제안하는 컨버터 구동 분석

제안하는 컨버터는 기존 컨버터와 동일하게 위상천이 제어 기법으로 제어된다. 스위치  $Q_1, Q_2$ 는 리딩레그이며 스위치  $Q_3, Q_4$ 는 레깅레그이다. 스위칭 주파수는 고정이며 리딩레그와 레깅레그의 위상차를 이용하여 제어한다.

2차 측의 스위치  $Q_5, Q_6$ 는 각각 동기정류기이다.  $Q_5$ 는  $Q_1$  또는  $Q_4$ 가 켜져 있는 경우 켜지며,  $Q_6$ 는  $Q_2$  또는  $Q_3$ 가 켜져 있는 경우 켜진다. 구동 분석 해석의 편의를 위해  $Q_1$ 과  $Q_4$ 가 동시에 켜지는 경우만 구동 모드를 분석하였다.

모드 1:  $Q_1, Q_4$ 는 도통 상태이며  $T_1$ 의 1차측 전압이 2차측으로 전달된다. 자화 인덕턴스  $L_{m2}$ 에는  $V_{in}/n_1 - V_o$  전압이 걸려 에너지가 저장된다. 보조 인덕터  $L_s$ 는 결합 인덕터  $T_2$ 에 의해  $\frac{n_2-1}{n_2}(V_{in}/n_1 - V_o)$  전압이 걸려 출력 전류 리플을 제거하기 위한 전류가 생성된다.

모드 2:  $Q_4$ 가 꺼지고,  $Q_3$ 가 켜져  $T_1$ 의 1차측 단락되어 2차측으로 전압이 전달되지 않는다. 자화 인덕턴스  $L_{m2}$ 에  $-V_o$  전압이 걸려 저장된 에너지가 방전된다. 보조 인덕터  $L_s$ 는 결합 인덕터  $T_2$ 에 의해  $\frac{n_2-1}{n_2}(-V_o)$  전압이 걸려 출력 전류 리플을 제거하기 위한 전류가 생성된다.  $Q_6$ 는 도통되어 전류가 흐르기 시작한다.

모드 3:  $Q_1$ 이 꺼지고,  $Q_2$ 가 켜진다. 아직  $Q_5, Q_6$ 가 도통되어 있어 자화 인덕턴스  $L_{m2}$ 과 보조 인덕터  $L_s$ 는 모드 2와 동일한 전압이 걸려있다.  $Q_5$ 의 전류가 0에 도달하면 모드 3은 끝난다.

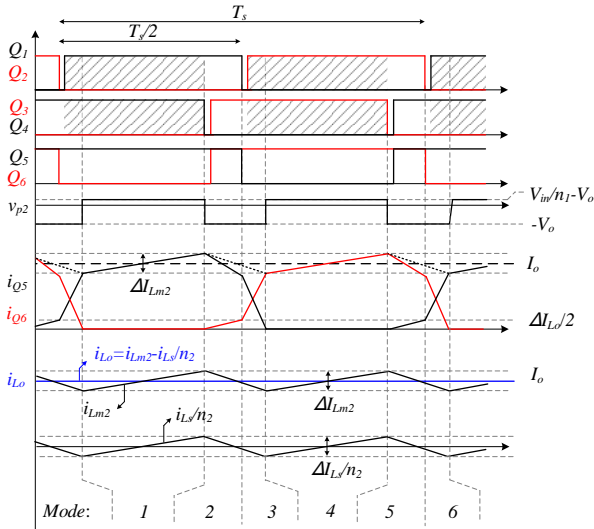


그림4 제안하는 컨버터의 주요 파형  
Fig.4 Key waveforms of the proposed converter

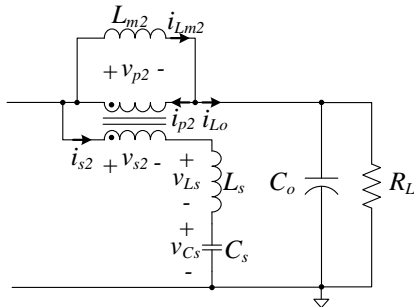


그림5 전류 리플 저감 회로의 등가회로  
Fig.5 Equivalent circuit of the proposed ripple-free circuit

## 2.3 출력 전류 리플 저감회로 설계

그림 5는 전류 리플 저감 회로의 등가회로이다. 출력 전류  $i_{Lo}$ 는 다음 수식으로 정의할 수 있다.

$$i_{Lo} = i_{Lm2} - i_{p2} = i_{Lm2} - i_{Ls}/n_2 \quad (1)$$

식(5)에서 이론상 출력 전류 리플이 제거되기 위해서는  $i_{Lm2}$ 의 기울기와  $i_{p2}$ 의 기울기가 같아야 한다. 각 전류의 기울기는 다음과 같이 정의할 수 있다.

$$\Delta i_{Lm2} = \frac{V_{p2}}{L_{m2}} \quad (2)$$

$$\Delta i_{p2} = \frac{n_2-1}{n_2^2} \frac{V_{p2}}{L_s} \quad (3)$$

식 (2), (3)을 참고하여  $L_s$ 와  $L_{m2}$ 에 관계식을 도출하였다.

$$L_s = \frac{n_2-1}{n_2^2} L_{m2} \quad (4)$$

## 2.4 시뮬레이션 결과

제안한 컨버터를 검증하기 위해 PSIM을 이용하여 시뮬레이션을 수행하였다. 시뮬레이션은 입력 400V, 출력 12V-3.2kW 조건에서 진행하였다. 그림6(a)는 기존 PSFB의 출력 전압과 전류 파형이다. 스위칭에 의한 전압, 전류 리플이 존재하는 것을 확인할 수 있다. 그림6(b)는 제안하는 컨버터의 파형이다. 출력 전압과 전류 리플이 제거된 것을 확인할 수 있다.

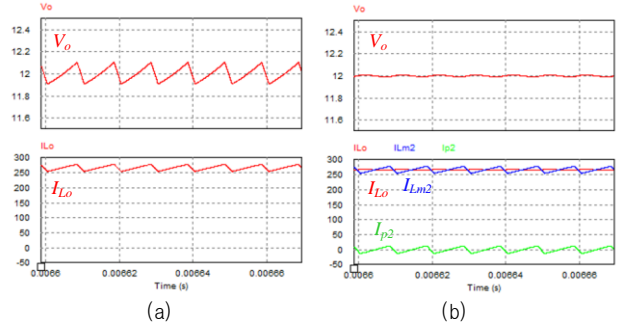


그림6 시뮬레이션 파형 비교 (a) 기존 PSFB 컨버터 (b) 제안하는 컨버터  
Fig.6 Comparison of simulation waveforms (a) Conventional PSFB converter (b) Proposed converter.

## 3. 결론

본 논문에서는 서버 전원장치를 위한 PSFB의 출력 인덕터 전류 리플을 저감하기 위한 회로를 제안했다. 제안하는 컨버터는 출력 인덕터 대신 결합 인덕터를 이용한 리플제거 회로를 적용하여 출력 인덕터 전류 리플을 제거했다. 따라서 서버 전원과 같은 저전압 대전류 응용분야에서 낮은 전압 및 전류 리플을 요구하는 시스템을 만족시킬 수 있다.

## 참고 문헌

- [1] I.-H. Cho, K.-M. Cho, J.-W. Kim, and G.-W. Moon, "A new phase-shifted full-bridge converter with maximum duty operation for server power system," IEEE Trans. Power Electron., vol. 26, no. 12, pp. 3491-3500, Dec. 2011.
- [2] F. C. Lee, P. Barbosa, P. Xu, J. Zhang, B. Yang, and F. Canales, "Topologies and design considerations for distributed power system applications," Proc. IEEE, vol. 89, no. 6, pp. 939-950, Jun. 2001.