

실리콘 카바이드의 단락 견딤 시간 확장에 대한 연구

- 파트 1: 단락 견딤 특성 실험

팔란디아판 디니쉬¹, 마국위¹, 김 사이먼²
인피니언 테크놀로지스¹ 싱가포르, ²대한민국

The study of SiC MOSFET short circuit withstanding time extension -Part 1 : characterization

Dinesh Palaniappan¹, Kwok Wai Ma¹ & Simon Kim²
Infineon Technologies¹ Singapore & ²South Korea

ABSTRACT

산업용 모터 드라이브 애플리케이션의 단락 견딤 시간 요구 사항은 $R_{DS(ON)}$ 성능을 저하시키지 않으면서 상용 실리콘 카바이드 (SiC) MOSFET에 대해 충족하기 어려운 경우가 많다. 본 논문에서는 단락 시험에 영향을 주는 DC 링크 전압, 게이트 전압 등의 영향을 시험적으로 확인해 본다.

1. 서론

특정 산업용 전력 애플리케이션, 특히 모터 드라이브에서 단락(short circuit) 견딤 기능은 인버터 샷스루(shoot through) 또는 상간 단락(phase-to-phase short circuit)과 같은 가능한 오류 패턴(fault patterns)으로부터 장치를 보호하기 위한 전력 반도체 장치의 견고성에 대한 핵심 요구 사항이다. 이 기능은 데이터시트에 전력 반도체의 단락 견딤 시간(t_{sc})으로 명시되는 경우가 많으며, 이는 시스템 보호에 필요한 응답 시간보다 길어야 됨을 예상된다. 전통적으로 산업용 애플리케이션에 사용되는 IGBT는 t_{sc} 가 10 μ s로 지정되었다[1]. 모터 구동 애플리케이션을 대상으로 하는 최신 IGBT 세대는 전도 손실을 줄이기 위해 t_{sc} 를 8 μ s 이하로 낮추어 출시되고 있다. 전원 공급 장치 애플리케이션을 대상으로 하는 일부 새로운 IGBT 제품군은 더 나은 스위칭 및 전도 손실을 달성하기 위한 대가로 t_{sc} 등급 없이 출시되고 있다. 유사한 설계 개념이 SiC MOSFET에서도 나타난다. SiC MOSFET의 주요 설계 목표 중 하나는 특정 온 저항 $R_{DS(ON)}$ 를 줄여 장치의 전도 손실을 줄이는 것이다. 현재 시장에서 판매되는 대부분의 상용 SiC 전력 MOSFET에는 t_{sc} 등급이 없거나 매우 짧은 등급만 지정되어 있다. 가장 낮은 $R_{DS(ON)}$ 를 달성하려면 2~3 μ s가 소요된다. t_{sc} 가 더 긴 SiC MOSFET을 설계하고 지정할 수 있지만, 이로 인해 채널 전도성이 낮아지고 $R_{DS(ON)}$ 가 높아진다. 단락 견딤 시간 (긴 t_{sc}) 대신 더 나은 성능(낮은 $R_{DS(ON)}$)을 위해 SiC MOSFET의 설계를 최적화하는 것은 일반적으로 전원 공급 응용에 적합하다. 그러나, 산업용 모터 구동 응용 분야에서 t_{sc} 가 없거나 짧은 t_{sc} 가 있는 SiC MOSFET을 사용하는 것은 시스템의 보호 회로가 오류(fault)에 대해 빠르고 안정적인 응답을 제공하기 위한 과제이다[2]. $R_{DS(ON)}$ 를 희생하지 않고 SiC MOSFET의 t_{sc} 를 확장하면 산업용 전력 애플리케이션에 용이하다.

본 논문에서는 단락 시험에 영향을 주는 DC 링크 전압, 게이트 전압 등의 영향을 시험적으로 확인해 본다.

2. 단락 견딤 시험

2.1 디지털 게이트 드라이버 IC의 실험 셋업

그림 1에 표시된 대로 일반적인 두 펄스(Double pulse) 특성화 설정이 사용되었다. 단순화된 설정 회로도도 그림 2에 나와 있다. 하프 브리지의 아래 측 스위치는 실험 중인 장치(DUT, device under test)로 사용되며 상단 스위치 위치는 저임피던스 단락 회로로 대체된다. 디지털 게이트 드라이버 IC인 1ED3890MC12M의 평가 보드(빨간색 실선 상자)와 디지털 구성 보드(노란색 실선 상자)는 30m Ω 1200V SiC MOSFET IMW120R030M1H에 대한 단락 측정을 수행하는 데 사용되었다. 외부 보조 전원 공급 장치 보드(녹색 실선 상자)는 턴오프 게이트 전압을 항상 0V로 유지하면서 다양한 조건에서 SiC MOSFET 단락 성능을 평가하기 위해 적용되는 턴온 게이트 전압을 변경하는 데 사용되었다. 평가 보드의 게이트 저항 22 Ω 및 10 Ω 은 게이트 턴온 및 턴오프에 각각 사용되었다. t_{sc} 에 미치는 영향을 연구하기 위해 선택된 조건에서 추가 측정을 2.2 Ω 의 더 낮은 턴온 게이트 저항으로 수행했다. 모든 측정은 실온에서 수행되었다. 디지털 게이트 드라이버 IC 인 1ED3890MC12M의 뚜렷한 장점은 디세추레이션(Desaturation protection, DESAT), 2 레벨 턴오프(TLTO), 소프트 턴오프(soft turn off), 저 전압 공급 보호(UVLO) 등과 같은 많은 통합 보호 기능을 디지털 방식으로 구성할 수 있다. 이 기능을 사용하면 게이트 드라이브에 외부 회로를 추가하지 않고도 제안된 개념을 실제 애플리케이션 보드 개발에 구현할 수 있다.

2.2 파괴 시험으로 게이트전압과 DC 링크 전압 변경 시의 영향 확인

오류 경로(fault path)에서 임피던스가 거의 0인 하드 스위칭 오류 시나리오를 에뮬레이션하기 위해 실험 설정에서 하프 브리지의 DC+ 및 위상 출력 단자를 짧은 케이블을 사용하여 직접 단락시켰다. TLTO 메커니즘을 사용하여 t_{sc} 확장을 구현하려면 게이트 및 드레인 전압이 t_{sc} 에 미치는 영향을

이해하는 것이 전제 조건이다. SiC MOSFET의 단락 견딤 성능을 확인하기 위해 선택된 턴온 게이트 전압은 10V, 12V, 15V 및 18V를 각각 적용하고 DC 링크 전압 400V, 600V, 800V를 DUT에 파괴 시험으로 수행했다. V_{GS} 및 V_{DC} 와 t_{sc} 의 관계를 확인하기 위해 15V 및 18V의 게이트 전압은 정상 조건에서의 작동에 해당하므로 높은 게이트 전압 $V_{GS,H}$ 로 간주되고, 10V 및 12V의 게이트 전압은 다음과 같으므로 낮은 게이트 전압 $V_{GS,L}$ 로 간주된다. 단락 오류 시나리오 중 TLTO의 중간 전압. 무화과. 그림 3 - 5는 10V, 12V, 15V, 및 18V의 게이트 전압 V_{GS} 와 DC 링크 전압 V_{DC} 가 피크 고장 전류 및 단락 견딤 시간(t_{sc})에 미치는 영향을 보여준다. DC 전압 V_{DC} 는 400V, 600V 및 800V를 적용했다. $V_{DC} = 800V$ 일때 다양한 게이트 전압 V_{GS} 에서 측정된 단락 내력 에너지 E_{SC} 가 그림 8에 나타나 있다. 다양한 게이트 전압 V_{GS} 에서의 E_{SC} 값은 TLTO 매개변수를 결정하는 데 사용된다. 서로 다른 V_{DC} , V_{GS} 및 $R_{G,ON}$ 에서 파괴 실험을 통한 t_{sc} 및 E_{SC} 의 측정 결과는 표 1에 요약되어 있다. 22Ω 의 $R_{G,ON}$ 에서 t_{sc} 와 V_{GS} 및 V_{DC} 의 관계는 각각 그림 9와 10에 나타나 있다. $V_{DC} = 800V$ 에서의 t_{sc} 는 $V_{DC} = 400V$ 에서의 t_{sc} 의 약 0.4배임을 알 수 있다. 그림 9에서 $6\mu s$ 의 t_{sc} 파괴 측정 결과는 데이터 시트 값의 두 배인 것으로 나타났다. 800V의 V_{DC} 및 15V의 V_{GS} 의 동일한 조건에서 $3\mu s$ 측정 결과와 데이터시트 사양 간의 동일한 경감 계수를 가정하면 800V의 V_{DC} 에서 V_{GS} 에 대한 t_{sc} 의 관계는 실선(측정 결과)를 추가 검증을 위한 가상 사양으로 그래프의 가장 아래에 위치한 점선으로 표시되었다. 그러나, 이러한 측정 결과는 제한된 수의 실험 샘플에서만 얻은 것이다. 실험 결과를 제품 사양으로 사용하려면 대량 생산 변동, 온도 및 반복적인 단락 성능 저하와 같은 요인을 고려하여 상당한 설계 마진을 추가해야 한다. 이러한 주제는 본 연구의 범위를 벗어난다. 이제 알려진 SiC MOSFET t_{sc} 및 E_{SC} 대 V_{GS} 의 특성을 통해 TLTO 매개변수는 두 가지 다른 단락 시나리오, 즉 단락 유형 I 또는 하드 스위칭 오류(HSF, hard switching fault) 및 단락 유형 II 또는 부하시 오류(FUL, fault under load)에 대해 t_{sc} 를 확장하도록 설정할 수 있다.

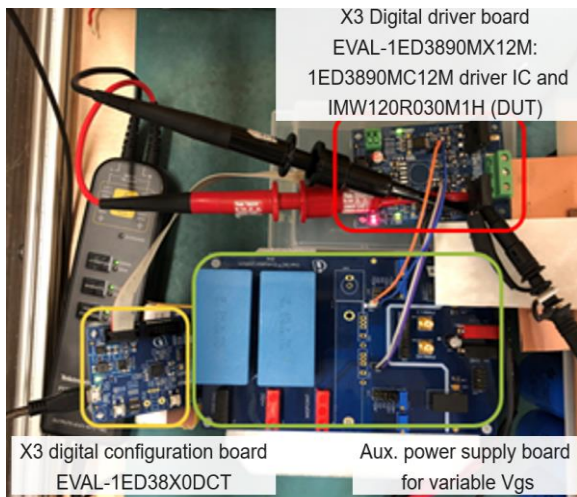


그림1 IMW120R030M1H 와 디지털 게이트 드라이버 회로 1ED3890MC12M 와 셋업된 두 펄스 실험

Fig.1 Double-pulse test setup with SiC MOSFET IMW120R030M1H and digital gate driver IC 1ED3890MC12M

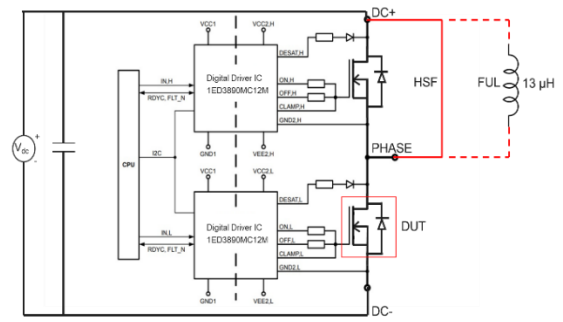


그림2 두 펄스 실험 셋업의 단순화된 회로 블록도

Fig.2 Simplified schematic diagram of the double-pulse test setup

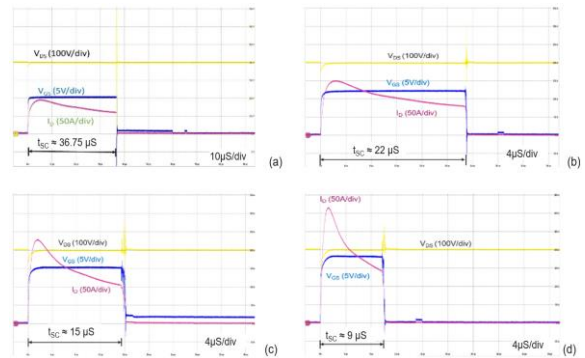


그림3 DC 링크전압(V_{DC})이 400 V에서 다른 게이트전압(V_{GS}) 인가 시에 손손 시험 : (a)10 V, (b)12 V, (c)15 V, 와 (d)18 V

Fig.3 Destructive testing to measure t_{sc} at V_{DC} of 400 V under different V_{GS} : (a)10 V, (b)12 V, (c)15 V, and (d)18 V

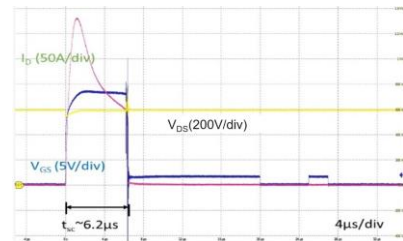


그림4 DC 링크전압(V_{DC})이 600 V에서 18V 게이트전압 (V_{GS}) 인가 시에 손손 시험

Fig.4 Destructive testing to measure t_{sc} at V_{DC} of 600 V and V_{GS} of 18 V

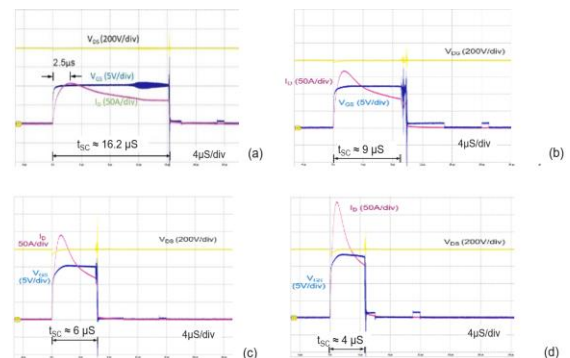


그림5 DC 링크전압(V_{DC})이 800 V에서 다른 게이트전압 (V_{GS}) 인가 시에 손손 시험 : (a)10 V, (b)12 V, (c)15 V, 와 (d)18 V

Fig.5 Destructive testing to measure t_{sc} at V_{DC} of 800 V under different V_{GS} : (a)10 V, (b)12 V, (c)15 V, and (d)18 V

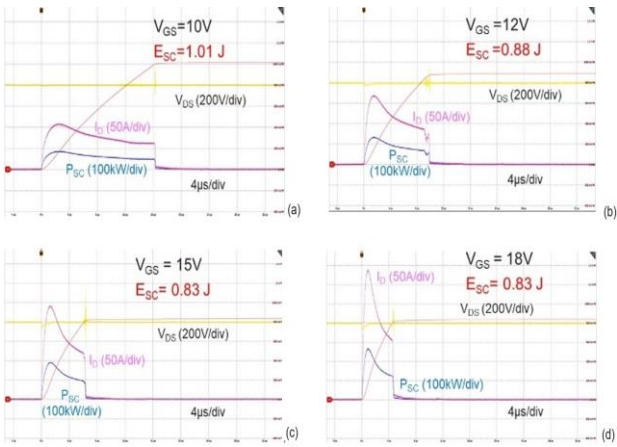


그림8 DC 링크전압(V_{DC})이 800 V에서 다른 게이트전압 (V_{GS}) 인가 시에 측정된 견디는 에너지 E_{SC} : (a)10 V, (b)12 V, (c)15 V, 와 (d)18 V
 Fig.8 Measured short-circuit withstanding energy E_{SC} at V_{DC} of 800 V with different gate voltages V_{GS} : (a)10 V, (b)12 V, (c)15 V, and (d)18 V.

표 1 다른 게이트 전압 (V_{GS}), DC 전압 (V_{DC})와 온 저항 ($R_{G,ON}$)에서 소손 시험에 의해 측정되는 단락 견디는 시간 (t_{SC}) 과 단락 견딤 에너지(E_{SC})

Table 1 Short-circuit withstanding time t_{SC} and short-circuit withstanding energy E_{SC} , measured by destructive testing at different V_{GS} , V_{DC} and $R_{G,ON}$.

Short circuit Withstand time t_{SC} (μ S) at V_{GS} (V)					
$R_{G,ON}$	V_{DC}	10 V	12 V	15 V	18 V
22 Ω	400 V	36.8	22.8	15.4	9.7
	800 V	16.2	9.1	6.1	4.6
2.2 Ω	800 V	-	9.25	6	4.4
Short circuit Withstanding Energy E_{SC} (J) at V_{GS} (V)					
$R_{G,ON}$	V_{DC}	10 V	12 V	15 V	18 V
22 Ω	400 V	1.09	0.97	0.95	0.81
	800 V	1.01	0.88	0.82	0.82
2.2 Ω	800 V	-	0.89	0.84	0.82

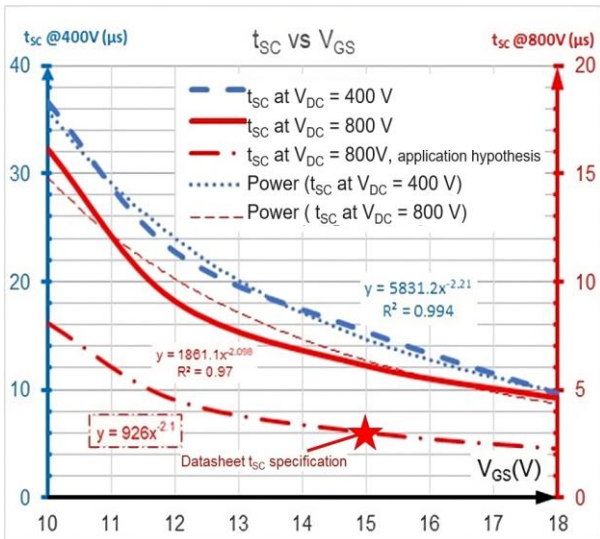


그림9 DC 링크 전압 400 V (점선) 와 800 V (직선) 에서 단락 견딤 시간 상에 게이트 전압 (V_{GS}) 효과

Fig.9 Effect of V_{GS} on short-circuit withstanding time at V_{DC} = 400 V (broken line) and 800 V (solid line)

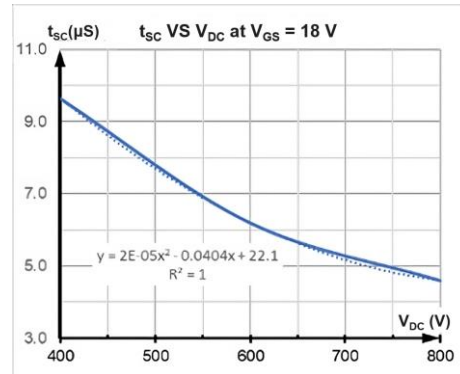


그림 10 18 V 게이트 전압(V_{GS}) 에서 단락 견딤 시간상에 DC 링크 전압 (V_{DC}) 의 효과

Fig.10 The effect of V_{DC} on short-circuit withstanding time at V_{GS} = 18 V

3. 결론

본 논문에서는 단락 시험에 영향을 주는 DC 링크 전압, 게이트 전압등의 영향을 시험적으로 확인해 보았다. 시험 결과에서는 DC 링크 전압이 낮을 수록, 게이트 전압이 낮을 수록 단락 견디는 시간이 늘어 남을 확인할수 있었다. 이것을 단락 견디는 에너지로 계산하고 소손과 연관성을 확인하였다. 다음 연구로는 시간을 늘이는 방법을 고려해 보았다. 2 레벨 턴 오프에 의한 단락 시간 증진에 대해서는 다음 논문에서 논의할 예정이다.

참 고 문 헌

- [1] R. R. Chokhawala, J. Catt, and L. Kiraly. "A Discussion on IGBT Short-Circuit Behavior and Fault Protection Schemes," IEEE Transactions on Industry Applications, Vol 31, No 2, 1995.
- [2] D.P. Sadik, J. Colmenares, G. Tolstoy, D. Pefitsis, M. Bakowski, J. Rabkowski and H. P. Nee, "Short-Circuit Protection Circuits for Silicon-Carbide Power Transistors," IEEE Trans. Ind. Electron., Vol. 63, No. 4, April 2016.