

### 3레벨 PFC 컨버터의 패시브 전압 밸런싱 회로 및 듀티 제어 방법

김문영<sup>1</sup>, 김건우<sup>1</sup>, 서강문<sup>1</sup>, 강정일<sup>2</sup>  
<sup>1</sup>삼성전자 VD 사업부, <sup>2</sup>삼성전자 DA 사업부

## A Passive Voltage Balancing Circuit and Duty Control Method for Three-level PFC Converter

Moonyoung Kim<sup>1</sup>, Keon-Woo Kim<sup>1</sup>, Kangmoon Seo<sup>1</sup> and Jeongil Kang<sup>2</sup>

<sup>1</sup>Samsung Electronics Visual Display Business, <sup>2</sup> Samsung Electronics Digital Appliance Business

#### ABSTRACT

본 논문에서는 3레벨 PFC 컨버터의 플라잉 커패시터 양단 전압을 항상 출력 전압의 반으로 유지할 수 있는 패시브 밸런싱 회로를 제안한다. 2개의 다이오드, 1개의 커패시터로 구성되는 패시브 밸런싱 회로와 하단 스위치(M<sub>L</sub>) 게이트의 시간 지연 제어를 통해서 쉽게 밸런싱 동작을 수행할 수 있다. 기존 액티브 밸런싱 회로 대비 회로가 간단하고 가격적으로 이점이 있으며 낙뢰와 같은 까다로운 전기적 시험이 있는 TV 어플리케이션에서 적용하기 힘든 디지털 컨트롤러를 대체하여 상용 아날로그 PFC IC로 구현이 가능하다.

#### 1. 서론

3레벨 PFC 컨버터는 그림 1과 같이 기존 Boost PFC 컨버터 대비 스위치, 다이오드 및 플라잉 커패시터 (C<sub>fly</sub>)가 1개씩 추가된 구조를 가진다. 기본적으로 스위치 M<sub>L</sub>과 M<sub>U</sub>는 동일한 Duty를 가지고 위상 차이는 180도가 나는 Gate 신호가 각각 인가되어 동작한다. 3레벨 PFC 컨버터의 전압 이득은 기존 Boost 컨버터와 동일하게 1/(1-D)이기 때문에 그림2와 같이 V<sub>in</sub>>V<sub>o</sub>/2인 경우와 V<sub>in</sub><V<sub>o</sub>/2인 경우로 나뉘서 동작되며, V<sub>fly</sub>가 V<sub>o</sub>/2인 경우에 FET ON/OFF에 따라 인덕터 양단에 인가되는 전압은 V<sub>fly</sub>전압에 의해 기존 Boost 컨버터보다 1/2배 작은 전압이 반복적으로 인가되며, 180도 위상 차이를 가지는 M<sub>U</sub>, M<sub>L</sub> 동작으로 인덕터의 인가되는 실효 주파수가 2배가 되기때문에 기존 CCM Boost PFC와 동일 인덕터 리플 전류를 가지도록 설계할 경우 인덕턴스를 1/4배 수준으로 줄일 수 있다는 장점을 가진다<sup>[1],[2]</sup>. 그러나, 위와 같은 동작을 위해서는 M<sub>L</sub>과 M<sub>U</sub>의 Duty가 동일하고 180도의 위상차이를 가지면서 동작해야 하지만, 게이트 직렬 저항의 오차, FET의 V<sub>th</sub> 차이 등에 의해 duty가 다를 수 있고, IC의 propagation delay tolerance 등에 의해 위상 차이가 180도로 정확하지 않을 수 있다. 이러한 duty 및 위상의 오차로 인해 V<sub>fly</sub>가 0.5V<sub>o</sub>로 유지되지 않고 틀어질 경우 앞서 말한 3레벨 PFC의 동작을 수행할 수 없기 때문에 V<sub>fly</sub>를 0.5V<sub>o</sub>로 유지하는 제어가 추가로 필요하다<sup>[1],[2]</sup>. 일반적으로 V<sub>fly</sub>를 출력 전압의 절반으로

유지하기 위해서 액티브 방식의 밸런싱을 사용하고 있다<sup>[1],[2]</sup>. V<sub>fly</sub>을 센싱하여 항상 V<sub>o</sub>/2를 유지하기 위한 제어가 필요하기 때문에, 출력 전압 외에 V<sub>fly</sub> 제어를 위한 제어를 필요로 하여 일반 상용 Boost PFC IC를 활용하여 구현하기 어려워 디지털 컨트롤러를 활용해야지만 가격이 올라간다는 단점을 가지게 된다. 또한 파워 컨버터의 1차측에 위치한 PFC 특성상 낙뢰에 의한 손상을 쉽게 받을 수 있어 동작 전압 레벨이 낮은 디지털 컨트롤러가 쉽게 고장 날 수 있다. 이에 상용 PFC IC를 활용하면서 정상적인 동작이 가능한 패시브 밸런싱 기반의 제어를 적용한 새로운 회로 및 제어 기술을 제안하고자 한다.

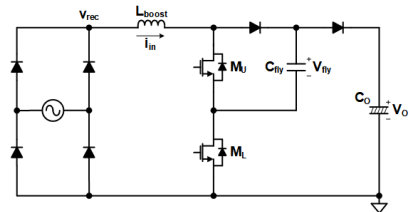


그림 1. 기존 3레벨 PFC 컨버터.

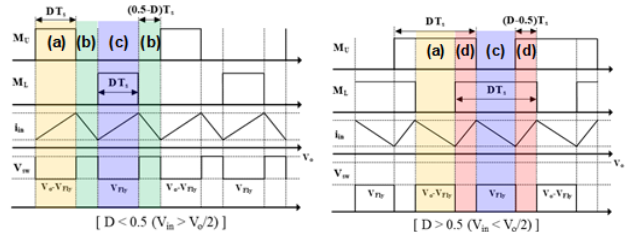


그림 2. 기존 3레벨 PFC 회로 동작

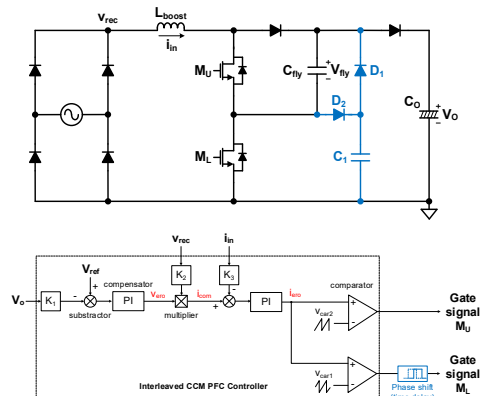


그림 3. 제안하는 passive balancing 3레벨 PFC 컨버터

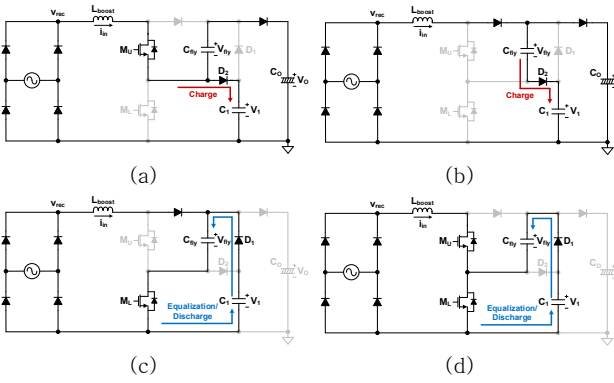


그림4. 스위칭 동작에 따른 패시브 밸런싱 회로 동작.  
 (a)  $M_U$  턴온,  $M_L$  턴오프. (b)  $M_U$  턴오프,  $M_L$  턴오프.  
 (c)  $M_U$  턴오프,  $M_L$  턴온. (d)  $M_U$  턴온,  $M_L$  턴온

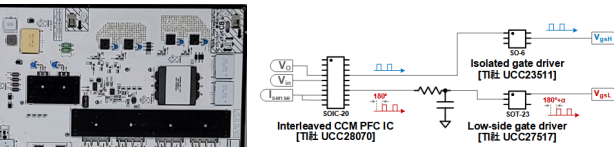


그림5. 300W급 프로토타입 보드 및 아날로그 제어기 구성

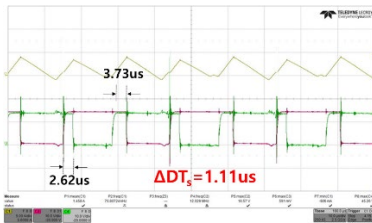


그림6.  $M_U$  /  $M_L$  게이트 파형

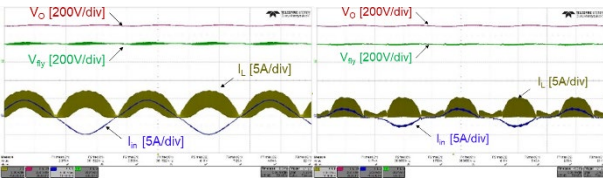


그림7. 동작 파형, (a) 100Vac 입력, (b) 240Vac 입력

## 2. 제안하는 패시브 밸런싱 3레벨 PFC 컨버터

제안하는 상용 아날로그 제어기를 적용한 패시브 밸런싱 기반의 3레벨 PFC 컨버터 및 제어블록도는 그림 4와 같다. 제안하는 회로는 기존 3레벨 PFC 컨버터에서 Diode 2개와 Capacitor가 1개 추가된 구조를 가진다. 제어기 같은 경우 상용 Interleaved CCM PFC IC와 동일한 센싱 포인트와 제어기로 구성되며 그림 4와 같이  $M_L$ 의 gate에 시간 지연을 주어 동작한다.  $M_L$  gate의 시간 지연 동작을 통해  $V_{fly}$ 가  $0.5V_o$ 를 초과할 수 없게 방전하고, 추가된 회로를 통해  $V_{fly}$ 가  $0.5V_o$ 와 같아질 수 있도록 충전 및 균등화하는 동작을 통해 패시브 밸런싱을 달성한다. 그림 5는 스위칭 동작에 따른 패시브 밸런싱 회로의 동작을 나타낸다.  $M_L$  gate가 꺼져 있는 (a)와 (b)구간에서는  $C_1$  전압이 충전하는 방향으로 동작하게 된다.

$V_1 + V_{fly} \leq V_o$ 을 만족하는 조건에서  $C_1$  전압이 충전된다.  $M_L$  gate가 켜져 있는 (c)와 (d)구간에서는  $C_1$ 와  $C_{fly}$ 가 병렬로 연결되는 회로가 구성됨에 따라  $V_1 = V_{fly}$ 를 만족하게 하는 균등화 동작이 진행된다. 앞서 그림 2에서 설명했듯이 3레벨 PFC 컨버터는  $duty < 0.5$ 인 경우 (a)→(b)→(c)→(b)를 반복하고  $duty > 0.5$ 인 경우 (a)→(d)→(c)→(d)를 반복한다. 따라서 2가지 동작 조건 모두에서 충전 동작과 균등화 동작을 반복하면서  $V_1$ 와  $V_{fly}$  모두  $0.5V_o$ 를 만족하여 패시브 밸런싱 동작을 수행할 수 있다. 하지만  $M_L$ 과  $M_U$  gate의 duty 혹은 위상이 틀어짐에 따라  $V_{fly} > 0.5V_o$ 이 되게 되면 다이오드  $D_1$ 이 reverse-biased 되어 그림 5의 (c)와 (d) 동작을 수행할 수 없다. 따라서 그림 5의 (c)와 (d) 동작 수행 전에  $V_{fly} < 0.5V_o$ 을 만족할 수 있도록  $C_{fly}$  방전 동작이 필요하다.  $C_{fly}$  방전 동작은 그림 4에 나타난  $M_L$ 의 gate에 시간 지연을 주는 동작을 통해 수행할 수 있다.

## 3. 실험 결과

그림 5는 제안하는 회로 동작 검증을 위한 300W급 프로토타입 보드 사진이며 실험에서 사용된 상용 아날로그 IC는 그림 5와 같다. 180도 위상 지연된 2개의 게이트는 상용 Interleaved CCM IC로 구현을 하고 상/하측 FET 구동을 위하여 개별 Gate driver를 사용하였다. 하단 스위치의 경우 앞서 말 한 것과 같이 패시브 밸런싱 동작을 위하여 IC에서 출력되는 PWM gate 신호를 RC회로를 통하여 Gate 신호를 지연시켰으며, 그림 6의 동작 파형과 같이 상단 스위치와 하단 스위치 간의 실효 듀티는 약 1.11us 시간 지연이 발생됨을 알 수 있다. 이러한 제어기로 3레벨 PFC 컨버터를 동작 시켰을 경우 그림 7과 같이 기존 3레벨 PFC 컨버터와 같이 정상적으로 PFC동작을 수행하며  $C_{fly}$  전압은 항상  $V_o$ 의 1/2을 유지함을 알 수 있다.

## 4. 결론

본 논문에서는 3레벨 PFC 컨버터의 플라잉 커패시터 양단 전압을 항상 출력전압의 반으로 유지할 수 있는 패시브 밸런싱 회로를 제안하였다. 추가 패시브 밸런싱 회로와 하단 스위치  $M_L$ 의 시간 지연 동작을 통해서 쉽게 밸런싱 동작을 수행할 수 있다. 기존 디지털 제어기가 필요한 액티브 밸런싱 회로 대비하여 상용 아날로그 IC 사용이 가능하기 때문에 가격이나 신뢰성 확보측면에서 장점을 가질 수 있다.

## 참고 문헌

[1] H. -C. Chen, C. -Y. Lu, W. -H. Lien and T. -H. Chen, "Active Capacitor Voltage Balancing Control for Three-Level Flying Capacitor Boost Converter Based on Average-Behavior Circuit Model," in IEEE Transactions on Industry Applications, vol. 55, no. 2, pp. 1628-1638, March-April 2019

[2] W. C. Liu, P. H. Ng and R. Pilawa-Podgurski, "A Three-Level Boost Converter With Full-Range Auto-Capacitor-Compensation Pulse Frequency Modulation," in IEEE Journal of Solid-State Circuits, vol. 55, no. 3, pp. 744-755, March 2020