PWM 업데이트 지연에 따른 비엔나 정류기의 전류 왜곡 보상 기법 연구

이수빈, 최종원

한남대학교 모터제어 및 전력변환 연구실

A Study on the Compensation Techniques for Current Distortion in Vienna Rectifier Due to PWM Update Delay

Su-Bin Lee, Jong-Won Chio Dept. Electrical and Electronic Engineering Hannam University

ABSTRACT

본 논문에서는 PWM 업데이트 및 전류 센싱 지연이 3례벨 비엔나 정류기의 전류 왜곡에 미치는 영향을 분석하고, 이러한 문제를 보상하는 방법을 제안한다. 전류 왜곡은 전력 전달 효 율 감소의 주요 원인 중 하나로, 이 접근 방식을 통해 전류 왜 곡을 효율적으로 감소시킨다. 제안된 방법의 타당성은 시뮬레 이션과 실험을 통해 입증한다.

1. 서 론

현대 전력 전자 시스템에서 전력 변환기의 효율 및 성능 향 상은 매우 중요한 연구 분야로 자리 잡고 있다. 특히, 전력 변 환기의 일종인 비엔나 정류기는 고효율 및 저고조파 특정으로 인해 다양한 사업 분야에서 널리 사용되고 있다. 3레벨 비엔나 정류기는 단방향의 전력 변환이 요구되는 AC/DC 컨버터의 입 력 전류 고조파 저감을 위한 회로로 검토되고 있다.^[1] 3레벨의 비엔나 정류기는 2레벨의 PWM 정류기에 비해 입력 전류 전 고조파왜율(THD, Total Harmonics Distortions)과 출력 전압 의 낮은 스위칭 주파수 하모닉을 가진다는 장점이 있다. 스위 칭 손실이 적어 시스템 효율이 향상되며, 출력 전압의 안정성 이 뛰어나 다양한 고전력 응용 분야에 적합하다.^[2]

비엔나 정류기의 주요 이점 중 하나는 낮은 전류 왜곡을 통 해 전력 품질을 향상시키는 것이다. 그러나, 실제 시스템에서 펄스 폭 변조 (Pulse Width Modulation, 이하 PWM) 신호의 업데이트 지연은 전류 왜곡을 야기하는 중요한 문제로 대두된 다. PWM 업데이트 지연은 스위칭 소자의 타이밍 불일치로 인 해 발생하며, 이로 인해 전류 왜곡이 발생하게 된다. 이러한 왜 곡은 시스템의 효율을 저하시킬 뿐만 아니라, 전체 전력 시스 템의 성능에도 부정적인 영향을 미칠 수 있다.

본 논문에서는 비엔나 정류기에서 발생하는 PWM 업데이트 지연에 따른 전류 왜곡 문제를 분석하고, 이를 해결하기 위한 보상 기법을 제안한다. 제안한 보상 기법은 3레벨l SVM(Space Vector Modulation)의 전류 벡터 결정 과정에서 섹터 찾는 방 식을 개선하여, 기존 섹터의 위상을 앞당기는 방법을 제안한다. 시뮬레이션과 실험 결과를 통해 제안한 방법의 효용성을 증명 하였다.

2. 비엔나 정류기

2.1 비엔나 정류기 구조

비엔나 정류기의 회로 구성은 그림 1과 같다. V_{in} 은 입력 전압을 나타내며, $I_{g_{abc}} = [i_{ga}, i_{gb}, i_{gc}]^T$ 는 grid 입력 전류 를 나타낸다. $I_{abc} = [i_a, i_b, i_c]^T$ 는 인버터 전류이며, 비엔나 정류기의 출력 단자 전압은 각 상 스위치 $SW_{ABC_{RL}}$ 의 상태 와 전류의 방향에 따라 결정된다.



그림 1 3-Level Vienna Rectifier 회로 구성 Fig. 1 circuit Configuration of 3-Level Vienna Rectifier



그림 2 3-Level SVM Sector Fig. 2 3-Level SVM Sector

전류 제어기 출력인 전압의 고정 좌표계 값 V_{α} , V_{β} , 현재 전류의 고정 좌표계 값 I_{α} , I_{β} 으로 전류 전압의 3- Level Sector를 결정하고 Sub sector도 결정한다.

전압과 전류의 위상차로 전압 벡터가 3-Level Sector 내에 있지 않을 경우 원하는 만큼의 전압 벡터를 생성할 수 없어 전 류의 왜곡이 발생한다. 따라서 전류와 전압벡터의 위상차이가 발생하였을 때 추가적인 동상 모드 전압을 주입하여 출력 전압 을 제어하는 방안이 제시되었다. 이때, 전류 벡터에 위치에 따 라 전류가 존재하는 섹터를 계산하게 된다.^[3]

2.2 제안하는 보상 기법



그림 3 시지연을 포함한 전류 및 제어 블록 다이어그램 Fig. 3 Block Diagram of Current and Voltage Control Including Delay

전압과 전류의 시지연으로 인해 전류의 측정 값과 제어 신 호 사이에 시간 차이가 발생한다. 그림 3은 시지연을 포함한 비엔나 정류기의 흐름도를 보여준다. 입력 전류는 전류 센서를 통해 감지되며, 필터를 거쳐 노이즈가 제거되고, A/D 변환기를 통해 디지털 신호로 변환된다. 이후 전류 제어기가 이 디지털 신호를 받고 PWM 신호를 생성하고, 이는 비엔나 정류기로 전 달된다. 이 과정에서 발생하는 시지연을 보상하기 위해, 예상되 는 지연 시간을 고려하여 위상값을 미리 조정한다.

3상 비엔나 정류기의 입력 전류 (I_{abc}) 를 고정자 α, β 좌표계 로 변환한 후, 이를 식(1)과 같이 앞당긴 위상으로 a, b, c 좌표 계로 다시 변환한다. θ_{δ} 는 각종 지연 시간을 고려하여 보상 위상값 이다.

$$\begin{bmatrix} i'_{a} \\ i'_{b} \\ i'_{c} \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -1/2 & \frac{\sqrt{3}}{2} \\ -1/2 & \frac{\sqrt{3}}{2} \\ -1/2 & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} \cos\theta_{\delta} & \cos\theta_{\delta} \\ -\sin\theta_{\delta}\cos\theta_{\delta} \end{bmatrix} \begin{bmatrix} i_{\alpha} \\ i_{\beta} \end{bmatrix}$$
(1)

3. 시뮬레이션 및 실험 결과

식 (1)을 통해 나온 수정된 전류 a, b, c를 사용해 그림 4 와 같이 전류 섹터의 위상을 앞당겼다. 그림 5, 6은 보상 전후 의 그리드 전류와 인버터 전류이다. 보상 전과 비교하면 전류 파형의 왜곡이 크게 줄었음을 확인할 수 있다.











4. 결론

본 논문에서는 3레벨 비엔나 정류기의 SVM 전류 벡터 선택 과정에서 기존 섹터의 위상을 앞당겨 PWM 업데이트와 전류 센싱 지연으로 인한 전류 왜곡을 보상하는 기법을 제안했 다. 시뮬레이션 및 실험을 통해 제안된 기법이 기존 방법에 비 해 전류 왜곡 및 THD도 현저히 감소하였음을 확인하였다.

이 논문은 2021년도 정부(교육부)의 재원으로	한국연구재
단의 지원을 받아 수행된 기초연구사업임	
(No. 2021R1 1A3059676).	
참 고 문 헌	

- [1] Kolar, Johann W., and Franz C. Zach. "A novel three-phase utility interface minimizing line current harmonics of high-power telecommunications rectifier modules." IEEE Transactions on Industrial Electronics 44.4 (1997): 456–467.
- [2] Burgos, Rolando, et al. "Space vector modulator for vienna-type rectifiersbased on the equivalence betweentwo-and three-level converters: A carrier-based implementation." IEEE Transactions on Power Electronics 23.4 (2008): 1888–1898.
- [3] Lee, June-Seok, and Kyo-Beum Lee. "A novel carrier-based PWM method for Vienna rectifier with a variable power factor." IEEE Transactions on Industrial Electronics 63.1 (2015): 3–12.