

비엔나 정류기의 상전류 THD 저감을 위한 개선된 불연속 변조 기법

김민성, 이주연, 이준석
단국대학교

An Improved Discontinuous PWM Method with Phase-Current THD Reduction for Vienna Rectifier

Minseong Kim, Juyeon Lee, June-Seok Lee
Dankook University

ABSTRACT

본 논문은 비엔나 정류기의 상전류 THD를 고려하여 클램핑 구간을 최적화한 개선된 불연속 변조(Discontinuous Pulse Width Modulation, DPWM) 기법을 제안한다. 기존 비엔나 정류기 DPWM 기법에서는 영전류 왜곡 보상을 위해 일정 구간 동안 전압 지령을 0으로 클램핑 한다. 그러나 해당 구간은 상전류의 zero-crossing 부근에 해당하므로, 클램핑 구간 동안 스위칭 감소에 따른 손실 저감 효과 대비 상전류 THD가 크게 증가한다. 따라서, 본 논문에서는 회로 내의 임피던스 성분을 통해 도출한 최적의 클램핑 구간을 적용하는 개선된 DPWM 기법을 제안한다. 제안하는 기법은 기존 기법에 비해 불필요한 클램핑 구간을 최소화하므로, DPWM 기법을 통한 스위칭 손실 저감의 효과를 확보하면서 상전류 THD를 개선할 수 있다. 또한, 클램핑 구간을 제외한 영역에서 중성점 전압 제어를 통해 출력 특성을 향상시킬 수 있다. 제안하는 기법의 유효성은 시뮬레이션을 통해 검증한다.

1. 서론

그림 1은 계통 연계형 비엔나 정류기 토폴로지를 나타낸다. 비엔나 정류기의 경우, 중성점과 연결된 스위치가 꺼져 있을 때, 극전압은 상전류의 극성에 따라 결정된다. 따라서, 전압 지령과 상전류의 극성이 다른 zero-crossing 부근에서 전압 지령이 요구하는 전압을 출력할 수 없으므로 영전류 왜곡이 발생한다. 기존 DPWM 기법에는 영전류 왜곡 보상을 위해 전압지령을 0으로 클램핑 하는 구간이 존재한다. 그러나 해당 구간은 극전압의 클램핑을 위해 스위칭이 발생하지 않으므로 상전류 THD가 증가한다. 본 논문에서는 상전류 THD 저감 측면에서 클램핑 구간을 최적화한 DPWM 기법을 제안한다. 제안하는 기법에서는 실제 영전류 왜곡이 발생하는 구간을 계산하여 클램핑 구간으로 선정한다. 따라서, 기존 기법에 비해 추가적인 클램핑 구간이 최소화된다. 이로 인해, 스위칭 주파수 대역의 리플은 감소하고, 전압 지령이 변화하지 않는 구간에서 추가적인 중성점 전압 제어를 인가하여 저차 고조파 성분을 감소시킬 수 있다. 이때 클램핑 구간은 상전류가 작은 zero-crossing 부근이므로 스위칭 손실에는 큰 영향을 끼치지 않으면서 상전류

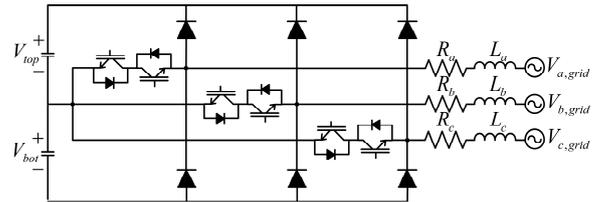


그림 1 계통 연계형 비엔나 정류기 토폴로지
Fig.1 Grid-connected Vienna rectifier topology

THD를 개선할 수 있다. 제안하는 기법의 유효성은 시뮬레이션을 통해 검증한다.

2. 본론

2.1 기존 비엔나 정류기 DPWM 기법

3레벨 컨버터 DPWM을 위한 오프셋을 비엔나 정류기에 인가하는 경우 전압 지령과 상전류의 극성이 다른 구간이 발생한다. 따라서 기존 DPWM 기법에서는 식 (1)의 오프셋을 인가하여 해당 구간을 0으로 클램핑 한다^[1]. $V_{max}, V_{mid}, V_{min}$ 은 전압 지령 $V_{x,ref}$ ($x=a,b,c$)의 최댓값, 중간값, 최솟값을 나타낸다.

$$V_{offset} = \begin{cases} -V_{mid} & |V_{max}| \geq |V_{min}|, V_{offset} > -V_{mid} \Rightarrow S_{prev} \\ V_{dc}/2 - V_{max} & |V_{max}| \geq |V_{min}|, V_{offset} < -V_{mid} \Rightarrow S_{DPWM} \\ V_{mid} & |V_{max}| < |V_{min}|, V_{offset} > -V_{mid} \Rightarrow S_{prev} \\ -V_{dc}/2 + V_{min} & |V_{max}| < |V_{min}|, V_{offset} < -V_{mid} \Rightarrow S_{DPWM} \end{cases} \quad (1)$$

2.2 제안하는 개선된 DPWM 기법

계통 전압과 상전류는 무효전류 I_{de} 를 0으로 제어하여 역률을 1로 유지한다. 그러나, 회로 내의 임피던스 성분인 R_x, L_x ($x=a,b,c$)에 의해 지령 전압과 상전류는 위상차 (θ_z)가 발생한다^[2].

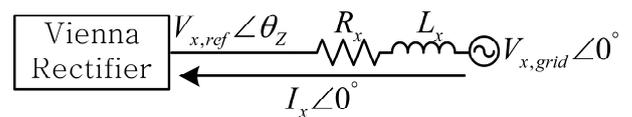


그림 2 비엔나 정류기의 등가회로
Fig.2 Equivalent circuit of Vienna rectifier

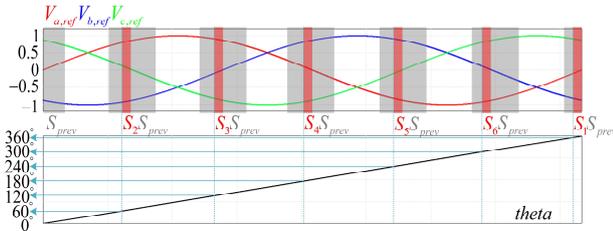


그림 3 기존 DPWM 기법과 제안하는 DPWM 기법의 클램핑 구간
Fig.3 Clamping Section of Existing and Proposed DPWM Methods

그림 2는 비엔나 정류기의 등가회로를 나타낸다. 등가회로의 전압 방정식을 페이지로 표현하면 식 (2)와 같다.

$$V_{x,ref} \angle \theta_z = V_{x,grid} - (R_x + j2\pi f_f L_x) \cdot I_x \quad (x = a, b, c). \quad (2)$$

식 (2)를 통해 θ_z 를 도출하면 식(3)과 같이 정의할 수 있다.

$$\theta_z = \tan^{-1} \left(\frac{-I_x \cdot 2\pi f_f L_x}{V_{x,grid} - I_x R_x} \right). \quad (3)$$

기본과의 한 주기에서는 6개의 zero-crossing이 존재하며, 해당 영역에서는 영전류 왜곡이 발생한다. 이를 보상하기 위해 총 6구간의 클램핑 구간을 정의하며, 해당 구간에서 전압 지령을 0으로 클램핑 한다.

그림 3은 기존 DPWM 기법과 제안하는 DPWM 기법의 클램핑 구간을 나타낸다. 제안하는 기법에서는 최적의 클램핑 구간이 적용되므로, 기존 기법과 달리 전압 지령에 오프셋 성분이 인가되지 않는 구간이 존재한다. 이때 이 구간에 한하여 중성점 전압 제어의 적용이 가능하다. 따라서, 제안하는 기법은 인가하는 오프셋에 따라 3가지 구간으로 나눌 수 있으며, 구간 및 오프셋은 식 (5)와 같다. 여기서 $V_{AC,comp}, V_{DC,comp}$ 는 각각 중성점 전압의 AC, DC 불평형 보상을 위한 오프셋이다^{[3],[4]}.

$$V_{offset,Vienna} = \begin{cases} V_{dc}/2 - V_{max} & |V_{max}| \geq |V_{min}|, V_{offset} < -V_{mid} \Rightarrow S_{DPWM} \\ -V_{dc}/2 + V_{min} & |V_{max}| < |V_{min}|, V_{offset} < -V_{mid} \\ -V_{mid} & \frac{\pi}{3}(n-1) \sim \frac{\pi}{3}(n-1) + \theta_z \quad (n=1 \sim 6) \Rightarrow S_n \\ V_{AC,comp} + V_{DC,comp} & non \ clamping \ area \Rightarrow S_{AC,DC \ balance} \end{cases} \quad (5)$$

3. 시뮬레이션 결과

본 논문에서 제시한 DPWM 기법을 검증하기 위해 표 1의 파라미터와 PSIM 프로그램을 사용하여 시뮬레이션을 진행하였다. 그림 4 (a), (b)는 기존 DPWM 기법과 제안하는 DPWM 기법의 시뮬레이션 결과를 나타낸다. 기존의 DPWM 기법 적용시 상전류 THD는 4.8%로 나타난다. 제안하는 DPWM 기법의 경우, 최적의 클램핑 구간을 적용하여 상전류의 스위칭 주파수 대역의 고조파 성분을 저감한다. 또한 추가적인 중성점 전압 제어를 통해 AC 불평형을 보상하기 때문에 저차 고조파 성분 또한 기존 기법에 비해 줄어든다. 그 결과, 상전류 THD는 2.8%로 크게 개선된다. 이때 제안하는 기법의 스위칭 손실은 기존 대비 약 1W만이 증가하므로, 스위칭 손실 저감 효과는 동일한 수준으로 확보 가능함을 알 수 있다.

표 1 시뮬레이션 파라미터

Table 1 Simulation parameters

계통 선간전압	380V _{rms}	스위칭 주파수	10kHz
계통 주파수	60Hz	제어 주기	0.1ms
직류단 전압 지령	800V	필터 저항	0.02Ω
부하 소모 전력	21.3kW	필터 인덕턴스	1mH

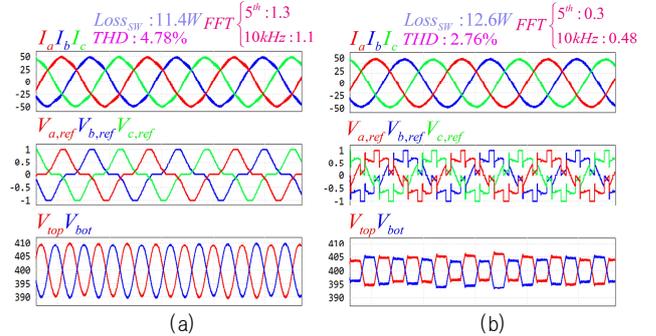


그림4 시뮬레이션 결과 (a)기존 DPWM 기법 적용 시 (b)제안하는 DPWM 기법 적용 시

Fig.4 Simulation results- (a) conventional DPWM method (b) proposed DPWM method

4. 결론

본 논문에서는 상전류 THD 저감을 위한 개선된 DPWM 기법을 제안하였다. 제안하는 기법에서는 실제 영전류 왜곡이 발생하는 구간을 계산하여 클램핑 구간을 최적화한다. 또한, 클램핑 되지 않는 구간에는 추가적인 중성점 전압 제어를 적용한다. 결과적으로, 스위칭 주파수 대역의 고조파 및 중성점 전압 리플로 인한 저차 고조파를 저감하여 상전류 THD를 크게 개선하면서, 동시에 스위칭 손실 저감의 효과를 확보할 수 있다. 제안하는 기법의 유효성은 시뮬레이션을 통해 검증하였다.

본 논문은 정부(산업통상자원부/과학기술정보통신부)의 재원으로 한국 산업기술진흥원(KIAT)/한국연구재단(NRF)의 지원을 받아 수행된 연구임 (No.P0017120, 2024년 산업혁신훈영성성장지원사업/No. 2022R1F1A1074316)

참고 문헌

- [1] J. -S. Lee and K. -B. Lee, "Carrier-Based Discontinuous PWM Method for Vienna Rectifiers." in *IEEE Trans. Power Electron.*, vol. 30, no. 6, pp. 2896-2900, Jun. 2015.
- [2] J. -S. Lee and K. -B. Lee, "A Novel Carrier-Based PWM Method for Vienna Rectifier With a Variable Power Factor." in *IEEE Trans. Ind. Electron.*, vol. 63, no. 1, pp. 3-12, Jan. 2016.
- [3] J. -S. Lee and K. -B. Lee, "Time-Offset Injection Method for Neutral-Point AC Ripple Voltage Reduction in a Three-Level Inverter," in *IEEE Trans. Power Electron.*, vol. 31, no. 3, pp. 1931-1941, Mar. 2016.
- [4] R. Lai, F. Wang, R. Burgos, D. Boroyevich, D. Jiang and D. Zhang, "Average Modeling and Control Design for VIENNA-Type Rectifiers Considering the DC-Link Voltage Balance," in *IEEE Trans. Power Electron.*, vol. 24, no. 11, pp. 2509-2522, Nov. 2009.