

계통 연계형 3상 비엔나 정류기 PFC의 전원 역결선 검출 및 대응 알고리즘

이주연, 김수현, 이준석
단국대학교

Reverse-Connected Mains Detecting and Managing Algorithm for PFC with Grid-Connected Three-Phase Vienna Rectifier

Juyeon Lee, Suhyeon Kim, June-Seok Lee
Dankook University

ABSTRACT

본 논문은 계통 연계형 3상 비엔나 정류기 PFC(Power Factor Correction)의 역결선 검출 및 대응 알고리즘을 제안한다. 비엔나 정류기 구동 시 3상 입력전원이 역상으로 결선될 경우, 입출력 특성의 저하뿐만 아니라 하드웨어 손상 등과 같은 큰 문제를 야기할 수 있다. 따라서 본 논문에서는 입력전원의 결선 상태를 검출하고 역결선 시에도 비엔나 정류기가 정상적인 제어를 수행할 수 있도록 대응하는 제어 알고리즘을 제안한다. 제안하는 기법은 입력전원으로부터 추출한 정상분과 역상분 간의 비율을 통해 결선 상태를 검출하기 때문에 별도의 하드웨어가 요구되지 않는다. 또한 역결선 시에도 회로 차단 및 재결선을 필요로 하지 않아 높은 실용성을 지닌다. 제안하는 방법의 타당성은 시뮬레이션을 통해 검증한다.

1. 서론

최근 전력시스템의 고효율화, 전력품질 향상에 대한 중요성이 범세계적으로 대두됨에 따라, 각국의 인증 시험 기관 및 전력 공급체들은 전력변환장치의 입출력 특성을 엄격히 규제하고 있다. 따라서 전력변환장치의 입출력 특성 개선 및 단위 역률 제어를 통한 고효율 달성을 위해, 장치 입력단의 PFC(Power Factor Correction)회로의 도입이 적극적으로 이루어지고 있다.

비엔나 정류기는 일반적인 2-level, 3-level 컨버터 대비 우수한 입출력 특성을 지님과 동시에 비교적 적은 개수의 전력반도체 소자로 구성 가능하다는 점에서, 최근 산업 분야의 PFC 회로에 활발히 적용되고 있다^[1]. 그림 1은 PFC 회로를 구성하는 계통 연계형 비엔나 정류기의 토폴로지를 보인다. 그림 1과 같이, 비엔나 정류기는 각 상에 위치한 2개의 다이오드를 통해 단방향 정류 동작을 수행하면서 중성점 경로에 연결된 두 개의 스위치를 통해 능동적으로 입출력 제어를 수행한다^[2]. 이때 PFC 회로의 역할에 따라, 비엔나 정류기는 입력전압에 대하여 적절히 극전압 변조를 수행함으로써 입출력을 원하는 값으로 제어하고 시스템의 역률을 단위 역률로 유지한다. 통상적으로 3상 시스템의 변수들은 좌표변환 과정을 거쳐 모두 동기 좌표계 상에서 제어된다. 여기서 동기 좌표계는 입력되는 3상 계통전원과 동일한 각주파수로 회전하면서, 입력전압의 전압 벡터를 동기 좌표계 상에서 q축 성분으로 인가시키는 위상각을 가진다. 이때 해당 위상각은 PLL(Phase Locked Loop) 기법을 통해 추종되며, PLL을 포함한 제어의 전과정에서 3상 시스템은 a-b-c상 순으로 회전하는 정상분을 기준으로 모델링 된다. 따라서 만약 3상 계통전원 자체의 불평형

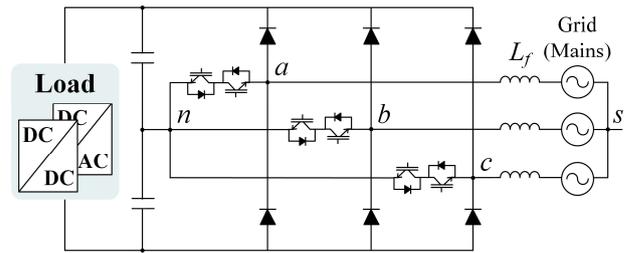


그림1 계통 연계형 3상 비엔나 정류기 PFC
Fig.1 PFC with grid-connected three-phase Vienna rectifier

등의 이유로 시스템 상에 역상분이 발생되면 입출력 특성의 저하와 같은 부정적인 영향을 야기한다. 특히, 3상 계통전원이 PFC로 인가될 때 결선이 역상순으로 이루어지면, PFC의 입력성분에서 역상분이 주를 이루게 된다. 이 경우, 입력전류 및 출력전압에 심한 왜곡, 리플과 함께 과전류 및 과전압을 유발할 뿐만 아니라 하드웨어의 손상을 야기할 수 있다. 따라서 PFC 구동에 있어 역결선에 대한 대응은 반드시 필요하다. 기존의 경우, 결선을 감지하는 계전기 또는 보호회로 등을 통해 역결선을 확인하고 회로를 차단하는 방법이 주로 적용되어 왔다. 그러나 해당 방법은 추가적인 하드웨어를 요구하기 때문에 비용적·공간적 제약이 따른다는 단점이 있다.

본 논문에서는 별도의 하드웨어 없이 소프트웨어적으로 역결선에 대응하는 역결선 검출 및 대응 알고리즘을 제안한다. 제안하는 기법은 입력전압으로부터 추출한 정상분과 역상분 간의 비율을 통해 결선 상태를 검출하기 때문에 비교적 구현이 간단하고 구동 전에 대응이 가능하다는 장점을 지닌다. 또한 역결선 감지 시, 제안하는 기법은 역상분을 기준으로 제어변수들을 수정함으로써 비엔나 정류기가 역결선 시에도 정상적인 입출력 제어를 수행하도록 대응한다. 즉, 역결선 시에도 회로 차단 및 재결선을 필요로 하지 않으므로 실용성이 높다. 제안하는 기법의 타당성은 시뮬레이션을 통해 검증한다.

2. 제안하는 역결선 검출 및 대응 알고리즘

2.1 역결선 검출 알고리즘

3상 시스템에 존재하는 성분은 크게 3상 간 위상이 a-b-c상 순으로 회전하는 정상분과 그의 역순으로 회전하는 역상분, 모든 상의 위상이 동일한 영상분으로 분리할 수 있다. 일반적으로 영상분은 회로 상에 존재하지 않으므로, 사실상 3상 물리량은 정상분과 역상분의 두 가지 성분으로 나타낼 수 있다. 3상 입력전압을 대칭 좌표법을 이용하여 각각 정상분과 역상분으로 구분하면 식 (1), (2)와 같다.

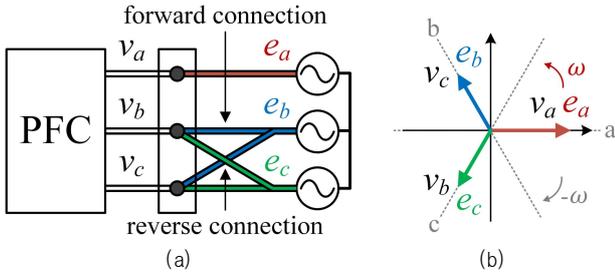


그림2 PFC 입력 및 계통전압 (a) 결선도 (b) 역결선 시 3상 좌표계 성분
Fig.2 Input voltage of PFC and grid voltage (a) connection diagram
(b) 3-phase coordinate system components in reverse connection

$$\begin{bmatrix} v_{aP} \\ v_{bP} \\ v_{cP} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & a & a^2 \\ a^2 & 1 & a \\ a & a^2 & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} \frac{1}{2}v_a + j\frac{\sqrt{3}}{6}(v_b - v_c) \\ \frac{1}{2}v_b + j\frac{\sqrt{3}}{6}(v_c - v_a) \\ \frac{1}{2}v_c + j\frac{\sqrt{3}}{6}(v_a - v_b) \end{bmatrix}, \quad (1)$$

$$\left(a = -\frac{1}{2} + j\frac{\sqrt{3}}{2}, a^2 = -\frac{1}{2} - j\frac{\sqrt{3}}{2} \right),$$

$$\begin{bmatrix} v_{aN} \\ v_{bN} \\ v_{cN} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 & a^2 & a \\ a & 1 & a^2 \\ a^2 & a & 1 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \begin{bmatrix} \frac{1}{2}v_a - j\frac{\sqrt{3}}{6}(v_b - v_c) \\ \frac{1}{2}v_b - j\frac{\sqrt{3}}{6}(v_c - v_a) \\ \frac{1}{2}v_c - j\frac{\sqrt{3}}{6}(v_a - v_b) \end{bmatrix}. \quad (2)$$

그림2는 PFC 입력 측의 결선도 및 역결선 시 3상 좌표계의 입력전압 성분을 나타낸다. 그림2(a)의 forward connection과 reverse connection은 각각 결선이 정상순, 역상순으로 이루어진 경우를 의미한다. 정상순 결선 시, PFC의 3상 입력전압은 계통전원과 동기인 각주파수(ω)를 가지고 정상순으로 회전하는 a, b, c상 축으로 표현된다. 그러나 그림2(b)와 같이, 역결선 시에는 입력전압이 실제 계통전원의 회전방향을 기준으로 역상순으로 회전하게 됨을 알 수 있다. 따라서 결선이 정상순으로 이루어진 경우에는 3상 계통전원에 불평형이 없다는 가정 하에 PFC 측에는 정상분만이 존재하지만, 반대로 결선이 역상순인 경우에는 역상분만이 존재한다. 이러한 분석을 기반으로, 입력 측으로 유입되는 성분을 구성하는 정상분과 역상분 간의 비율을 분석하면 입력 결선 상태를 검출하는 것이 가능함을 알 수 있다. 따라서, 제안하는 역결선 검출 알고리즘의 결선 상태 변수(γ)는 다음과 같이 정의된다.

$$\gamma = \begin{cases} 1 & (V_{m,P} \geq V_{m,N}) \text{ (forward connection)} \\ -1 & (V_{m,P} < V_{m,N}) \text{ (reverse connection)} \end{cases}, \quad (3)$$

$$(V_{m,P} = \sqrt{V_{de,P}^2 + V_{qe,P}^2}, V_{m,N} = \sqrt{V_{de,N}^2 + V_{qe,N}^2}).$$

여기서 $V_{de,k}, V_{qe,k}$ ($k=P, N$)는 각각 입력전압의 동기 좌표계 d, q축 값을 의미하며, V_{mk} ($k=P, N$)는 전압의 크기 성분이다. 즉, 입력성분 중 정상분의 비율이 역상분보다 크면 역결선($\gamma=1$), 역상분의 비율이 더 크면 역결선($\gamma=-1$)으로 상태를 검출한다. 이는 계통전원이 불평형인 경우에도 유효하다(통상 불평형율은 50% 미만).

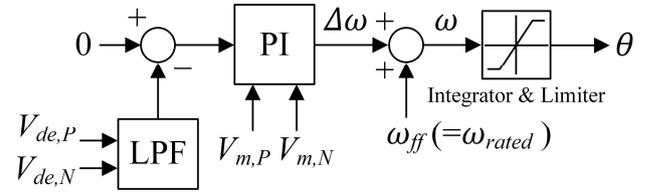


그림3 PLL 제어블록도(정역상 개별 제어 적용 시)
Fig.3 Control block diagram of PLL(when applying the control of positive and negative sequence)

2.2 역결선 대응 알고리즘의 전개

통상적으로 계통연계 시스템에서는 입력전류 또는 전력의 3상 평형 제어를 위해 정역상 개별 제어를 적용하는 것이 일반적이다. 이때 계통전원과 동기된 추종 위상각(θ)을 얻기 위한 PLL 제어블록도는 그림3과 같이 구성된다. 여기서 전향보상 항(ω_{ff})으로 인가되는 ω_{rated} 는 계통전원의 정격 주파수이다. PLL 제어 시, 입력으로는 동기 좌표계 d축 전압 정상분, 역상분의 합이 인가되며, θ 의 추종을 위해 입력전압의 크기 및 계통전원 정격 주파수에 대한 정보가 요구된다. 이때 입력전압의 크기는 결선과 관계없이 동일하며, 정격 주파수 또한 역결선 시를 기준으로 항상 동일하게 인가될 경우, PLL은 PI 제어기를 통해 d축 정상분 및 역상분 전압을 0으로 제어하면서 정상상태에서 ω_{rated} 의 각주파수로 일정하게 회전하는 θ 를 출력할 것이다. 즉, 추종된 θ 는 입력 결선과 관계없이 계통전원을 기준으로 정방향으로 회전한다. 따라서 입력이 역결선인 경우, θ 는 PFC의 입력전압의 실제 회전 방향과는 반대 방향이 된다. 만약 해당 θ 를 통해 PFC 제어를 수행할 경우, 좌표변환 및 제어의 기반이 되는 3상 시스템의 모델링과 입력되는 실제 시스템이 상용하지 않아 제어가 정상적으로 이루어지지 않는 문제가 발생한다.

역결선 시에도 PFC가 정상적인 입출력 제어를 수행할 수 있도록 하기 위해서는 실제 입력전압의 회전 방향을 정방향으로서 고려하여 시스템을 수정해야 한다. 따라서 제안하는 알고리즘에서는 결선 상태 변수 γ 에 따라 정의되는 PFC 기준 변수들을 도입하여 제어에 인가하며, 이는 PLL의 전향보상 항, 입력전압 및 전류의 정상분, 역상분 항이 해당된다.

$$\omega_{ff,PFC} = \begin{cases} \omega_{rated} & (\gamma = 1) \\ -\omega_{rated} & (\gamma = -1) \end{cases}, \quad (4)$$

$$v_{x,P,PFC} = \begin{cases} v_{x,P} & (\gamma = 1) \\ v_{x,N} & (\gamma = -1) \end{cases}, \quad (x = a, b, \text{ and } c), \quad (5)$$

$$v_{x,N,PFC} = \begin{cases} v_{x,N} & (\gamma = 1) \\ v_{x,P} & (\gamma = -1) \end{cases}$$

$$i_{x,P,PFC} = \begin{cases} i_{x,P} & (\gamma = 1) \\ i_{x,N} & (\gamma = -1) \end{cases}, \quad (x = a, b, \text{ and } c). \quad (6)$$

$$i_{x,N,PFC} = \begin{cases} i_{x,N} & (\gamma = 1) \\ i_{x,P} & (\gamma = -1) \end{cases}$$

여기서 i_x 는 입력전류이다. 결과적으로, 식 (4), (5), (6)의 PFC 기준 변수를 인가함으로써, 입력 결선에 따라 $\omega_{ff,PFC}$ 에 의해 θ 의 회전 방향이 입력전압 기준으로 동기되고, 시스템의 정상분과 역상분은 입력전압의 회전 방향을 정상순으로 고려하여 $v_{x,k,PFC}, i_{x,k,PFC}$ ($k=P, N$)로 계산된다.

2.3 제안하는 역결선 검출 및 대응 알고리즘의 구현

제안하는 알고리즘을 적용한 PFC의 전체 제어블록도는

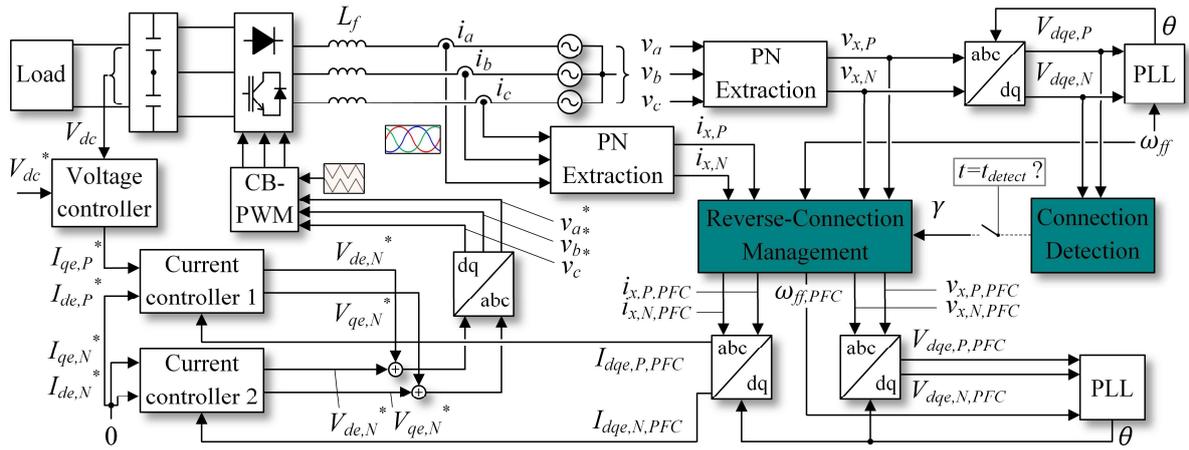


그림4 제안하는 알고리즘을 적용한 PFC의 전체 제어 블록도

Fig.4 Overall Control block diagram of PFC where the proposed algorithm is applied

표 1 시뮬레이션 파라미터

Table 1 Parameters of simulation

계통 선간 전압	388V _{rms}	스위칭 주파수	10kHz
계통 주파수	60Hz	제어 주기	100μs
직류단 전압	650V _{dc}	직류단 커패시턴스	1125μF
부하 소모 전력	50kW	입력 필터 인덕턴스	1mH

그림4와 같다. 여기서 V_{dc} , $I_{de,k}$, $I_{qe,k}$ ($k=P, N$), v_x^* ($x=a, b, c$)는 각각 DC-link 전압, 동기 좌표계 d, q축 입력전류의 정상분, 역상분, 3상 전압 지령을 의미한다. 또한 '*'로 표기된 변수들은 해당 변수에 대한 지령 값을 의미하며, 'PN Extraction', 'CB-PWM'은 각각 정역상분 추출, 반송파 기반 펄스 폭 변조기법의 블록도이다. 그림4에서 볼 수 있듯, 제안하는 역결선 검출 알고리즘은 t_{detect} 시점 한 번에 한하여 γ 를 산정한다. 이때 t_{detect} 는 PFC 입출력 제어 인가 전, 초기 PLL 동작이 정상상태에 도달한 뒤의 임의의 시점이다. 이후, 제안하는 역결선 대응 알고리즘은 앞서 산정된 γ 의 값에 따라 PFC 기준 변수를 적용하고, PFC는 기존과 동일하게 제어 시퀀스를 수행한다. 이때 정상분과 역상분 전류는 개별적으로 제어되며, 본 논문에서는 입력전류 평형 및 단위 역률 제어를 위해 전압 제어기의 출력을 $I_{qe,P}^*$ 에 인가하고, 이외의 지령치를 모두 0으로 설정하였다.

3. 시뮬레이션

그림5, 6은 입력이 역결선인 경우에 대한 제안하는 알고리즘 적용 시의 시뮬레이션 결과를 보이며, 이때 시뮬레이션은 표 1의 파라미터를 기반으로 수행되었다. 그림5에서, PFC 구동 전 임의의 시점 $t=t_{detect}$ 에서 제안하는 알고리즘에 의해 결선 상태가 검출된다. 이후 PFC 기준 변수가 적용되면서 θ 의 회전 방향이 전환되고, 입력전원을 기준으로 정상분 전압이 산정되는 것을 확인할 수 있다. 그 결과 PFC 구동 시, PFC의 입출력 제어가 정상적으로 이루어짐을 그림6(I_{dc} 는 출력전류)을 통해 확인할 수 있다.

4. 결론

본 논문에서는 PFC 입력 측의 결선 상태를 검출하고, 결선에 관계없이 PFC가 정상적인 제어를 수행하도록 대응하는 알고리즘을 제안하였다. 제안하는 알고리즘은 PFC 구동 전 회로 상의 정상분과 역상분 간 비율을 통해 결선 상태를 검출하고, 검출 결과에 따라 PFC 기준 변수를 도입함으로써

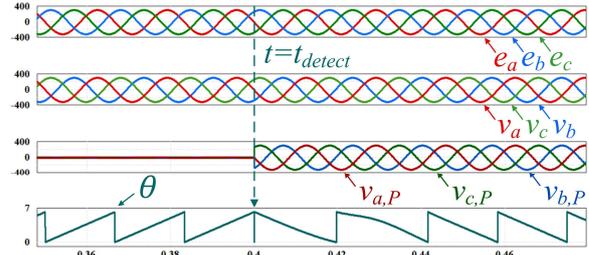


그림5 제안하는 기법의 시뮬레이션 결과- 적용 시점

Fig.5 Simulation results of the proposed method- at operating point

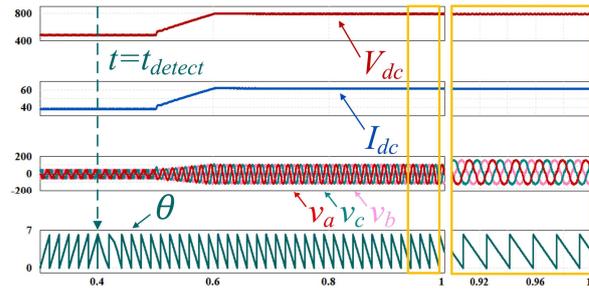


그림6 제안하는 기법의 시뮬레이션 결과- PFC 구동

Fig.5 Simulation results of the proposed method- operating PFC

이후 PFC가 정상적인 입출력 제어를 수행하도록 한다. 제안하는 알고리즘은 추가적인 하드웨어 없이 구현 가능할 뿐만 아니라, 역결선 시에도 회로 차단 또는 재결선 작업 없이 PFC를 구동시킬 수 있으므로 높은 실용성을 지닌다. 제안하는 알고리즘의 유효성은 시뮬레이션을 통해 검증하였다.

본 논문은 정부(산업통상자원부/과학기술정보통신부)의 재원으로 한국산업기술진흥원(KIAT)/한국연구재단(NRF)의 지원을 받아 수행된 연구임 (No. P0017120, 2024년 산업혁신인재 성장지원사업/No. 2022R1F1A1074316)

참고 문헌

- [1] S. Chen, W. Yu and D. Meyer, "Design and Implementation of Forced Air-cooled, 140kHz, 20kW SiC MOSFET based Vienna PFC," in Proc. IEEE Appl. Power Electron. Conf. Exp. (APEC), CA, USA, pp. 1196-1203, 2019.
- [2] T. Friedli, M. Hartmann and J. W. Kolar, "The Essence of Three-Phase PFC Rectifier Systems—Part II," in IEEE Trans. Power Electron., vol. 29, no. 2, pp. 543-560, Feb. 2014.