약계통 조건에서 안정적인 유효전력 주입을 위한 새로운 PLL 제어기법

김기현*, 최성휘**, 정재정*
경북대학교*, 서울대학교**

New Phase-Locked Loop Method for Stable Active Power Injection in Extremely Weak Grid

Ki Hyun Kim*, Shenghui Cui**, Jae-Jung Jung*
Kyungpook National University*, Seoul National University**

ABSTRACT

인버터 기반 자원의 증가로 인해 전력계통의 강건도가 낮아지고 있다. PLL을 통해 전력 계통과 동기화하는 grid-following 제어 기반의 voltage source converter(GFL-VSC)는 약계통 조건에서 불안정성을 보이며, 이를 해결하기 위해 많은 연구들이 진행되고 있다. 본 논문에서는 약계통 조건에서 PLL의 불안정성을 유발하는 원인을 분석하고 빠른 유효전력 주입을 위한 새로운 제어기법을 제안한다. 제안하는 PLL은 정확한 계통 임피던스에 대한 정보가 필요하지 않으며, 등가적인 단락비(SCR)가 2보다 낮은 극단적인 약계통에서도 안정적으로 정격 유효전력을 주입할 수 있다. 제안하는 PLL의 유효성은 시뮬레이션 및 프로토타입 실험을 통해 검증되었다.

1. 서 론

최근 전력계통 내의 인버터 기반 자원들(inverter based resources;IBRs)의 비중이 늘어남에 따라, 전력계통의 강건도가 감소하고 있다. 전류원으로 동작하는 기존의 grid-following(GFL) 인버터 제어는 phase-locked loop(PLL)를 통한 전압 기반 동기화를 통해 전력계통에 동기화하기 때문에 전압 변동이 심한 약계통 조건에서 불안정성을 보인다[1].

이를 해결하기 위해 전력 기반 동기화를 통해 전압원으로 동작하는 grid-forming(GFM) 제어들이 많이 연구되고 있다. 그러나 이러한 GFM 제어 방식은 일반적으로 관성을 모사하기 때문에 동특성이 느린 전압원으로 동작한다. 따라서, maximum power point tracking(MPPT)과 같은 빠른 동특성을 요구하는 어플리케이션에는 적용하는데 한계가 있다.

또한, 약계통에서의 GFL 인버터의 PLL의 안정성을 증가시키기 위해 계통 임피던스 또는 전류 제어의 영향을 최소화하거나, PLL 제어기 튜닝을 위한 연구들이 활발하게 이루어지고 있다[2].

본 논문에서는 약계통에서 GFL 인버터의 안정적인 동작을 보장하기 위해 전압의 변동을 최소화하는 새로운 PLL 제어방식을 제안한다. 제안하는 제어방식은 기존의 GFL 제어구조와 거의 유사하며 PLL과 전류 제어기의 구성, 제어기 게인 등을 모두 그대로 사용 가능하다는 큰 장점을 가진다.

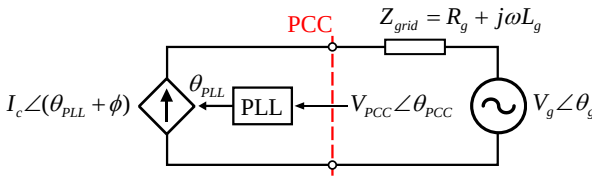

그림 1. 간략화된 VSC-Grid 시스템

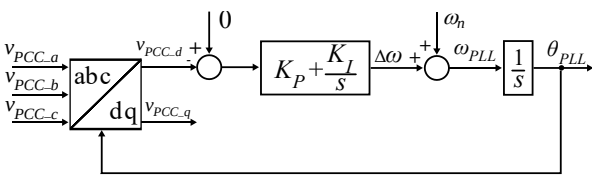

그림 2. 기존의 SRF-PLL

또한 point of common coupling(PCC) 전압 크기를 유지함으로써, 약계통 조건에서도 IBR은 계통과의 동기화를 잃지 않고 정격 유효전력을 전력계통에 안정적으로 주입할 수 있다.

2. GFL 기반 계통연계 컨버터

A. 기존의 PLL을 통한 GFL 제어방법

그림 1은 GFL 제어방식을 사용하는 계통연계형 컨버터의 간략화 된 모델이다. 컨버터는 PLL을 통해 전력계통과 동기화하며, PI 제어기를 통해 dq축 전류를 제어한다. PLL의 대역폭에 비해 전류제어기의 대역폭이 훨씬 빠르기 때문에 전류제어기는 단위 이득으로 간주할 수 있으며, PLL이 안정적으로 동작한다면 정상상태에서 PCC 전압과 PLL의 각도는 같다. 이를 통해 VSC는 계통에 주입되는 유효전력 및 무효전력을 독립적으로 제어한다.

결과적으로 VSC의 동기화 능력은 PLL의 동특성에 큰 영향을 받는다. 특히, 상대적으로 큰 계통 임피던스를 가지는 약계통 조건에서 PCC 전압은 VSC가 주입하는 전류에 의해 크게 변동하게 되며 이로 인해 PLL은 비선형적인 특성을 보인다.

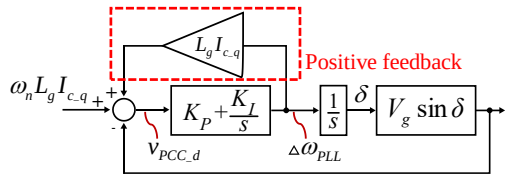

그림 3. 계통 임피던스의 영향을 고려한
SRF-PLL의 등가 블록다이어그램

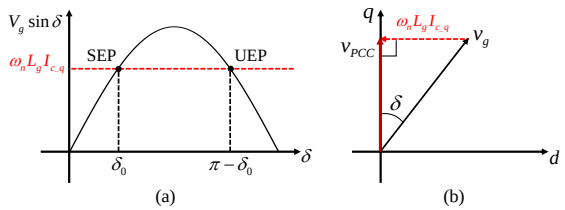

그림 4. SRF-PLL의 정상상태 특성
(a) Voltage-angle curve. (b) 벡터 다이어그램(단위 역률 출력)

B. 계통 임피던스를 고려한 PLL의 동특성

그림 2는 일반적인 synchronous reference frame (SRF)−PLL을 나타낸다. 이 때, ω_n는 계통 정격 주파수이며 K_P, K_I는 PI 제어기의 게인이다. 본 논문에서는 PCC 전압을 동기 좌표계 q축에 정렬(align) 시키는 방법을 따른다. PLL의 비선형성은 과도 안정도 분석을 통해 해석할 수 있다[1]. 그림 2를 통해 θ_{PLL}은 식(1)과 같이 표현될 수 있으며, 이때 아래첨자 dq는 각각 동기좌표계에서의 직축과 횡축 성분을 나타낸다.

$$\theta_{PLL} = \int[\omega_n + (K_P + K_I\int)(0 - v_{PCC_d})] \quad (1)$$

또한, δ를 식 (2)와 같이 정의하고, 그림 1을 통해 식 (3) ~ (5)를 유도할 수 있다. 이때, v_z는 계통 임피던스의 전압강하이다.

$$\delta = \theta_{PLL} - \theta_g \quad (2)$$

$$v_{PCC_d} = v_{z_d} + v_{g_d} \quad (3)$$

$$v_{z_d} = -(\omega_n + \dot{\delta})L_g I_{c_q} + R_g I_d \simeq -(\omega_n + \dot{\delta})L_g I_{c_q} \quad (4)$$

$$v_{g_d} = V_g \sin(\theta_{PLL} - \theta_g) = V_g \sin\delta \quad (5)$$

Inductive한 계통에서는 식 (4)와 같이 계통 저항 성분에 의한 전압 강하는 무시할 수 있으며, 주파수 변화에 따른 리액턴스 변화를 고려해야 한다. $\int\omega_n dt = \theta_g$을 식 (1)에 대입한 후 정리하면 식 (6)과 같으며, 그림 3과 같은 등가 블록 다이어그램으로 표현할 수 있다.

$$\delta = \int[(K_P + K_I\int)((\omega_n + \dot{\delta})L_g I_{c_q} - V_g \sin\delta)] \quad (6)$$

그림 4(a)에서 볼 수 있듯이, PLL이 정상상태에서 stable equilibrium point(SEP)을 가지기 위한 조건은 식 (7)과 같으며 PLL의 동특성에 의해 δ가 unstable equilibrium point(UEP)를 넘어서게 된다면 PLL은 계통과의 동기를 잃어버린다.

$$\left|\omega_n L_g I_{c_q}\right| \le V_g \quad (7)$$

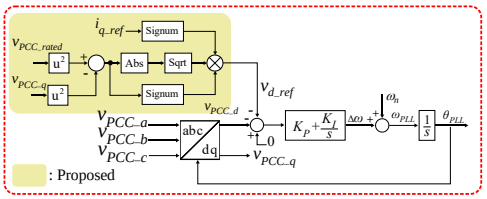

그림 5. 제안하는 PLL 블록다이어그램

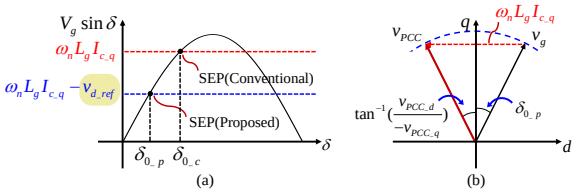

그림 6. 제안하는 PLL의 정상상태 특성
(a) Voltage-angle curve. (b) 벡터 다이어그램

3. 제안하는 PLL 기법

제안하는 PLL은 PCC 전압을 동기좌표계 q축에만 위치시키지 않으며, d축 전압도 동시에 할당함으로써 PLL의 안정도를 향상시킨다. 이 과정에서 PCC 전압 크기를 유지하고 정격 유효전력을 주입하기 위한 무효전력이 자동으로 전력계통으로 주입되게 한다.

$$\begin{cases} p = 1.5(v_d i_d + v_q i_q) \simeq 1.5 v_q i_q \\ q = 1.5(-v_d i_q + v_q i_d) \simeq -1.5 v_d i_q \end{cases} \quad (10)$$

일반적인 전력 이론에서 동기좌표계 상에서 계산되는 유, 무효전력은 식 (10)의 중간 항과 같다. 일반적인 GFL 제어의 경우, PLL을 통해 $v_d = 0$으로 할당함으로써 i_d와 i_q를 통해 유, 무효전력을 독립적으로 제어한다. 그러나 제안하는 PLL의 경우 식 (10)의 마지막 항과 같이 $v_d = 0$이 아닌, $i_d = 0$으로 제어함으로써 PLL의 전압을 통해 유, 무효전력을 제어한다.

v_{PCC_d}와 v_{PCC_q}로 나타나는 PCC 전압의 크기는 식 (11)와 같다. 식 (12)에서 V_{rated}는 정격 PCC 전압 크기를 의미하며, 이와 같은 v_{PCC_d}와 v_{PCC_q}를 가지도록 계통과 동기화한다면, 적절한 무효전력 주입을 통해 PCC 전압 크기를 유지하고 원하는 유효전력을 전력계통에 주입할 수 있게 된다.

$$V_{PCC} = \sqrt{v_{PCC_d}^2 + v_{PCC_q}^2} \quad (11)$$

$$v_{d_ref} = \sqrt{V_{rated}^2 - v_{PCC_q}^2} \quad (12)$$

그림 5는 제안하는 PLL의 블록다이어그램이다. 과도 상황에서 V_{rate}보다 v_q가 커지는 경우와 유효전력을 소비하는 경우를 고려하여 $V_{rate}^2 - v_q^2$와 i_{q_ref}의 부호를 곱하여 v_{d_ref}를 생성한다.

제안하는 PLL은 proposed part를 제외하면 기존의 GFL−VSC와 완벽히 동일한 구조를 가진다. 따라서,

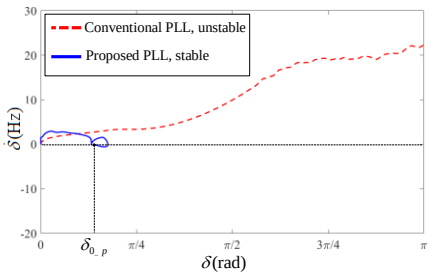

그림 7. 기존의 PLL 과 제안하는 PLL 의 Phase portrait

전압 기반 동기화를 통해 전류원으로 동작하지만 계통 임피던스를 알지 못하더라도 계통 상황에 따라 PCC단 전압을 정격으로 유지하기 위한 무효전력을 자동으로 계통에 주입하게 된다.

그림 6은 제안하는 PLL의 정상상태 특성을 보여주며, 제어기에 표시한 'proposed part'를 통해 PLL의 동작점을 변경시킴으로써 $v_{PCC_d} = -v_{d_ref}$ 로 동기화된다. 즉, 그림 6(a)에서 확인할 수 있듯이, 노란색 음영으로 표시한 v_{d_ref} 로 인해 더 작은 각도에서 PLL의 동작점이 형성된다.

앞서 설명한 것과 같이, 일반적인 PLL의 경우 θ_{PLL} 와 θ_{PCC} 는 거의 일치하지만, 제안하는 PLL의 경우 약계통에서 θ_{PLL} 은 θ_{PCC} 와 서로 다른 값을 가진다. 이때, q축과 PCC 전압 사이의 각도는 $\tan^{-1}(v_{PCC_d}/-v_{PCC_q})$ 가 되며 이는 동작점을 변경시킴으로써 늘어난 각도 마진을 의미한다. 기존의 PLL을 사용하였을 경우, PCC 전압크기를 유지하며 정격 유효전력을 출력하기 위한 δ_{0_c} 는 식 (13)와 같다.

$$\delta_{0_c} = \delta_{0_p} + \tan^{-1}\left(\frac{v_{PCC_d}}{-v_{PCC_q}}\right) \quad (13)$$

결과적으로, 동일한 제어기 게인을 가지는 PLL 동특성(오버슈트)를 기준으로 비교 시, 기존의 PLL의 δ 가 UEP에 도달하여 동기를 잃어버릴 때, 제안하는 PLL의 δ 는 UEP에 도달하지 않고 SEP에 수렴할 수 있음을 의미한다. 이는 그림 7의 phase portrait를 통해 직관적으로 확인할 수 있다.

4. 실험 결과

제안하는 PLL의 유효성을 검증하기 위해 3[kW]급 3상 컨버터를 통해 down-scaled 실험을 진행하였다.

그림 8은 1 pu의 정격 유효전력을 출력한 결과이다. 그림 8(a)에서 기존의 일반적인 PLL은 동기를 정격 유효전력을 주입할 수 없지만, 그림 8(b)에서 제안하는 PLL은 자동으로 무효전력을 주입하며, 정격 유효전력을 출력할 수 있다.

그림 9는 동기좌표계 상의 PCC단 전압 및 전류이다. 그림 9(a)에서 본 논문에서 제안하는 PLL이 PCC 단 전압 크기를 유지하기 위해 d축 성분을 자동으로 할당하는 것을 확인할 수 있다. 또한, 그림 9(b)에서 q축 전류만 제어함으로써, 식 (11)에 의해 유, 무효전력이 제어된다는 것을 확인할 수 있다.

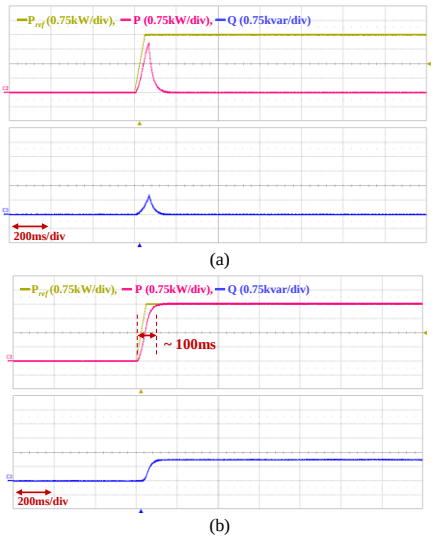

그림 8. 실험 결과: 유효전력 및 무효전력 출력
(a) 기존의 SRF-PLL (b) 제안하는 PLL

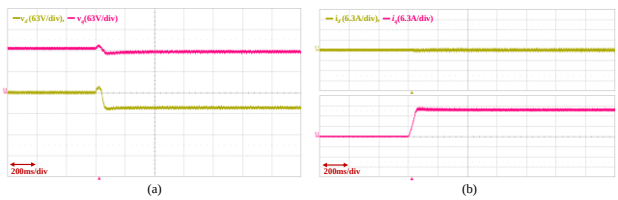

그림 9. 실험 결과 (a) 동기좌표계 PCC 전압 (b) 동기좌표계 출력 전류

5. 결 론

본 논문에서는 약계통 조건에서 GFL-VSC의 전력 계통과의 동기화 안정성을 증가시키는 새로운 PLL 제어 방식을 제안했다. PLL의 d축과 q축 전압을 모두 할당함으로써, 약계통에서의 PLL의 안정성을 향상시키고 안정적으로 정격 유효전력을 전력계통으로 주입할 수 있다. 또한 계통 임피던스를 알지 못하더라도 계통 조건에 따라 PCC단 전압 크기를 유지하기 위한 무효전력을 자동으로 계통으로 주입하게 되며, 전류 제어만을 수행하기 때문에 전류 제한이 쉽다는 장점이 있다. 제안하는 PLL의 유효성은 축소 실험을 통해 검증하였다.

이 논문은 2023년도 정부(산업통상자원부)의 재원으로 한국에너지기술평가원의 지원을 받아 수행된 연구임(RS-2023-00233148, 분산에너지 계통접속 그리드포밍 토폴로지 및 인버터 핵심기술 개발)

참 고 문 헌

[1] H. Wu and X. Wang, "Design-Oriented Transient Stability Analysis of PLL-Synchronized Voltage-Source Converters," in IEEE Transactions on Power Electronics, vol. 35, no. 4, pp. 3573-3589, April 2020.

[2] C. Li, S. Wang and J. Liang, "Tuning Method of a Grid-Following Converter for the Extremely-Weak-Grid Connection," in IEEE Transactions on Power Systems, vol. 37, no. 4, pp. 3169-3172, July 2022.