

LC 필터를 포함한 전압형 인버터의 CVRC 기반 이산 시간 전압 제어기 설계

설경환, 김현식
가천대학교 전기공학과

Discrete-Time Voltage Controller Design based on Complex Variable Resoant Controller for LC-Filtered Voltage-Source Inverter

Kyoung-Hwan Sul, Hyeon-Sik Kim
Dept. of Electrical Engineering, Gachon University

ABSTRACT

본 논문에서는 낮은 스위칭 주파수에서 충분한 안정성을 확보할 수 있는 복소 변수 공진 제어(CVRC)에 기반한 이산 시간 전압 제어기를 제안한다. 우선 LC 필터를 이산 시간 상태 공간에서 모델링한 후, 정지 좌표계에서 기본 주파수 성분의 정상상태 오차를 최소화하기 위한 CVRC를 이산 시간 상태 공간에서 구현하였다. 이를 기반으로 전압 제어기 이득을 직접 극 배치 설계를 통해 선정하였다. 제안한 전압 제어기의 성능은 시뮬레이션 및 실험을 통해 검증하였다.

1. 서론

최근 분산에너지 적용 확대에 따라 계통 연계형 인버터에 대한 관심이 높아지고 있다. 그 중 인버터의 출력 전압을 제어하여 기존 동기 발전기와 같은 역할을 수행하는 그리드-포밍 인버터에 관한 연구가 활발히 진행되고 있다. 이에 따라 인버터의 출력 전압을 제어하기 위한 다양한 제어 기법이 제안되었다.

3상 인버터의 출력 전압을 제어하기 위해 대표적으로 동기 좌표계 비례-적분 제어기가 사용되나 이는 좌표 변환을 위한 연산이 필요하다는 단점이 존재한다. 이를 해결하기 위해 비례-공진 제어기가 제안되었으나 제어기의 높은 차수로 인해 제어기의 이득이 명확하게 계산되지 않는다. 따라서 정지 좌표계에서 기본 주파수 성분의 정상 상태 오차를 최소화하는 공진 제어기의 이득 선정을 위해 CVRC(Complex Variable Resonant Controller, 복소 변수 공진 제어기)에 기반한 상태 공간 전압 제어기가 제안되었다.^[1] 하지만 이는 연속 시간에 기반하여 설계되었으므로 PWM 시지연을 정확히 모델링하지 못하며 낮은 스위칭 주파수에서 운전 시 시스템의 불안정을 야기한다.

본 논문에서는 낮은 스위칭 주파수에서 안정성을 확보하는 CVRC 기반 이산 시간 상태 공간 전압 제어기를 설계하였다. 이를 위해 LC 필터를 이산 시간 상태 공간에서 모델링하였으며, 제안된 제어 기법을 이산 시간 상태 방정식으로 표현하였다. 이를 기반으로 전압 제어기 이득을 직접 극 배치 설계를 통해 선정하였다. 제안한 전압 제어기의 성능은 시뮬레이션 및 실험을 통해 검증하였다.

2. 전력 변환 회로

3상 인버터의 출력 전압을 제어하기 위한 전력 변환 회로는 그림 1과 같이 3상 인버터와 LC 필터로 구성되어 있다. 필터 인덕터와 필터 커패시터는 각각 L_f 와 C_f 이며 필터에 존재하는 기생 저항 성분은 무시하였다. 또한, LC 필터의 입력 전압은 v_i , 필터 인덕터에 흐르는 인버터의 출력 전류는 i_i , 그리고 필터

커패시터 양단에 걸리는 출력 전압은 v_o 로 나타낸다. 부하 임피던스는 Z_{load} , 부하 전류는 i_o 로 표시하였다. 출력 벡터 $f_k = f_{ka} + jf_{kb}$ 는 복소 변수를 이용해 정지 좌표계 $\alpha\beta$ 축으로 표현하였으며 굵은 글씨로 나타내었다.

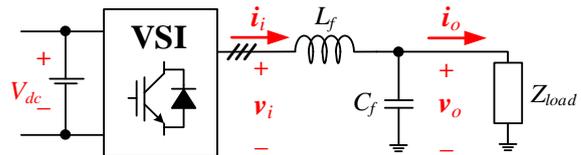


그림 1. LC 필터를 포함한 전압형 인버터 회로 구성

2.1 연속 시간 기반 시스템 모델링

필터 인덕터 전류 i_i , 출력 전압 v_o 를 이용하여 LC 필터를 상태 공간에서 식 (1)과 같이 표현할 수 있다. LC 필터의 상태 벡터 $\mathbf{x}=[i_i \ v_o]^T$, 입력 벡터 $\mathbf{u}=[v_i \ 0]^T$, 외란 벡터 $\mathbf{w}=[0 \ i_o]^T$ 로 각각 정의하며 \mathbf{A} 는 시스템 행렬, \mathbf{B}_c 는 입력 행렬, \mathbf{C}_c 는 출력 행렬, 그리고 \mathbf{D}_c 는 외란 행렬을 의미한다.

$$\frac{dx}{dt} = \underbrace{\begin{bmatrix} 0 & -\frac{1}{L_f} \\ \frac{1}{C_f} & 0 \end{bmatrix}}_{\mathbf{A}} \mathbf{x} + \underbrace{\begin{bmatrix} \frac{1}{L_f} \\ 0 \end{bmatrix}}_{\mathbf{B}_c} v_i + \underbrace{\begin{bmatrix} 0 \\ -\frac{1}{C_f} \end{bmatrix}}_{\mathbf{D}_c} i_o, \quad (1)$$

$$v_o = \underbrace{[0 \ 1]}_{\mathbf{C}_c} \mathbf{x}.$$

2.2 이산 시간 기반 시스템 모델링

LC 필터의 입력 전압은 인버터의 스위칭 한 주기의 평균 전압이 인가되는 것으로 간주하며, 인버터의 PWM 스위칭 동작은 0차 홀드(zero-order-hold, ZOH)로 모델링한다. 위와 같은 가정을 통해 LC 필터는 식 (2)와 같이 이산 시간 상태 방정식으로 표현할 수 있다.

$$\mathbf{x}(k+1) = \Phi \mathbf{x}(k) + \Gamma_i v_i(k) + \Gamma_o i_o(k), \quad (2)$$

$$v_o(k) = \mathbf{C}_c \mathbf{x}(k)$$

이 때, 시스템 행렬, 입력 행렬, 외란 행렬은 식 (3)과 같다.

$$\Phi = e^{\mathbf{A}T_s},$$

$$\Gamma_i = \left(\int_0^{T_s} e^{\mathbf{A}\tau} d\tau \right) \mathbf{B}_c = \mathbf{A}^{-1} (\Phi - \mathbf{I}) \mathbf{B}_c, \quad (3)$$

$$\Gamma_o = \left(\int_0^{T_s} e^{\mathbf{A}\tau} d\tau \right) \mathbf{D}_c = \mathbf{A}^{-1} (\Phi - \mathbf{I}) \mathbf{D}_c.$$

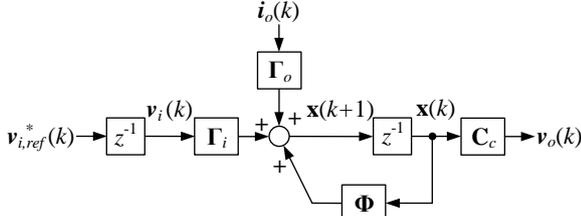


그림 2. 이산 시간 기반 LC 필터의 상태 공간 블록 다이어그램^[2]

실제 인버터는 연산 시간으로 인해 현재 측정 값에 기반하여 다음 주기에 출력 값을 갱신한다. 이는 식 (4)와 같이 샘플링한 주기 만큼 지연된 것으로 표현할 수 있으며, 이 때 $v_{i,ref}^*$ 는 전압 제어기의 출력 전압 지령을 의미한다.

$$v_i(k) = v_{i,ref}^*(k-1) \quad (4)$$

연산 시간이 고려된 LC 필터 상태 방정식에서 입력은 $v_{i,ref}^*$ 로 대체되며, v_i 는 x 에 추가되어 상태 벡터 x 는 $x_d = [x^T \ v_i^T]^T$ 로 확장된다. 따라서 확장된 상태 벡터 x_d 를 이용하여 식 (5)와 같이 LC 필터를 이산 시간 상태 방정식으로 표현할 수 있으며, 그림 2는 시지연이 고려된 LC 필터의 이산 시간 상태 공간 블록 다이어그램이다.^[2]

$$\begin{aligned} \mathbf{x}_d(k+1) &= \underbrace{\begin{bmatrix} \Phi & \Gamma_i \\ \mathbf{0} & 0 \end{bmatrix}}_{\Phi_d} \mathbf{x}_d(k) + \underbrace{\begin{bmatrix} \mathbf{0} \\ 1 \end{bmatrix}}_{\Gamma_{id}} v_{i,ref}^*(k) + \underbrace{\begin{bmatrix} \Gamma_o \\ \mathbf{0} \end{bmatrix}}_{\Gamma_{od}} i_o(k), \\ v_o(k) &= \underbrace{\begin{bmatrix} C_c & 0 \end{bmatrix}}_{C_d} \mathbf{x}_d(k), \end{aligned} \quad (5)$$

3. 전압 제어기 설계

3.1 복소 변수 공진 제어기

복소 변수 공진 제어기(CVRC)는 정지 좌표계에서 정상 상태 오차를 최소화하기 위해 사용된다. 그림 3과 같이 동기 좌표계에서의 적분기는 정지 좌표계에서의 복소 변수 공진 제어기와 동가이며, 복소 변수 공진 제어기를 식 (6)과 같이 상태 방정식으로 표현할 수 있다.^[3] 이 때 u_R 은 공진 제어기의 입력, x_R 은 공진 제어기의 출력이며, ω_0 는 공진 제어기의 공진 주파수 즉, 지령 주파수이다.

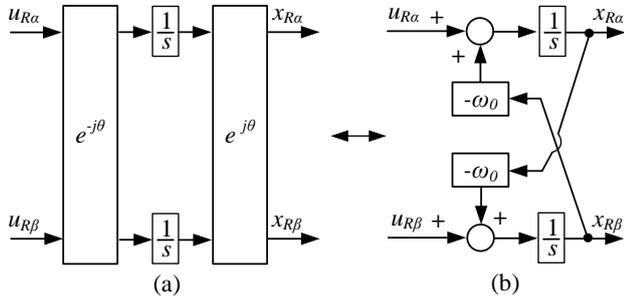


그림 3. (a) 동기 좌표계 적분기 (b) 정지 좌표계 CVRC^[3]

$$\begin{aligned} G_{CVRC}(s) &= \frac{\mathbf{x}_R(s)}{\mathbf{u}_R(s)} = \frac{1}{s - j\omega_0} \\ \dot{\mathbf{x}}_R &= j\omega_0 \mathbf{x}_R + \mathbf{u}_R \end{aligned} \quad (6)$$

이산 시간 CVRC의 극점을 $z = \exp(sT_s)$ 변환을 이용해 연속 시간 CVRC의 극점과 일치시켜 이산 시간 CVRC를 구현할 수 있다. 이산 시간 CVRC의 전달 함수와 상태 방정식은 각각 식 (7)과 식 (8)이다.

$$G_{CVRC}(z) = \frac{\mathbf{x}_R(z)}{\mathbf{u}_R(z)} = \frac{1}{z - e^{j\omega_0 T_s}} \quad (7)$$

$$\mathbf{x}_R(k+1) = e^{j\omega_0 T_s} \mathbf{x}_R(k) + \mathbf{u}_R(k) \quad (8)$$

이산 시간 CVRC의 입력은 출력 전압 지령과 실제 전압의 차이이므로 아래와 식 (9)와 같이 나타낼 수 있다.

$$\mathbf{x}_R(k+1) = e^{j\omega_0 T_s} \mathbf{x}_R(k) + v_{o,ref}(k) - v_o(k) \quad (9)$$

3.2 상태 피드백 제어

제안된 제어기의 상태 x_R 를 포함한 시스템의 상태 방정식은 식 (10)과 같다. 여기서, x_a 는 확장된 상태 벡터, Φ_a 는 확장된 시스템 행렬, 그리고 Γ_{ia} , Γ_{ra} , Γ_{oa} 는 확장된 입력 행렬이다.

$$\begin{aligned} \underbrace{\begin{bmatrix} \mathbf{x}_d(k+1) \\ \mathbf{x}_R(k+1) \end{bmatrix}}_{\mathbf{x}_a(k+1)} &= \underbrace{\begin{bmatrix} \Phi_d & \mathbf{0} \\ -C_d & e^{j\omega_0 T_s} \end{bmatrix}}_{\Phi_a} \underbrace{\begin{bmatrix} \mathbf{x}_d(k) \\ \mathbf{x}_R(k) \end{bmatrix}}_{\mathbf{x}_a(k)} + \underbrace{\begin{bmatrix} \Gamma_{id} \\ \mathbf{0} \end{bmatrix}}_{\Gamma_{ia}} v_{i,ref}^*(k) \\ &\quad + \underbrace{\begin{bmatrix} \mathbf{0} \\ 1 \end{bmatrix}}_{\Gamma_{ra}} v_{o,ref}(k) + \underbrace{\begin{bmatrix} \Gamma_{od} \\ \mathbf{0} \end{bmatrix}}_{\Gamma_{oa}} i_o(k), \\ v_o(k) &= \underbrace{\begin{bmatrix} C_d & 0 \end{bmatrix}}_{C_a} \underbrace{\begin{bmatrix} \mathbf{x}_d(k) \\ \mathbf{x}_R(k) \end{bmatrix}}_{\mathbf{x}_a(k)} = C_a \mathbf{x}_a(k) \end{aligned} \quad (10)$$

상태 피드백 제어기는 식 (11)과 같이 CVRC를 포함한 상태 피드백 항으로 구성되어 있다.

$$v_{i,ref}^*(k) = k_R \mathbf{x}_R(k) - \mathbf{K} \mathbf{x}_d(k) \quad (11)$$

여기서 k_R 은 CVRC 이득, $\mathbf{K} = [k_{v1}, k_{v2}, k_{v3}]$ 는 상태 피드백 이득이다. 식 (11)을 식 (10)에 대입하여 페루프 형태로 식 (12)와 같이 정리할 수 있다.

$$\begin{aligned} \mathbf{x}_a(k+1) &= (\Phi_a - \Gamma_{ia} \mathbf{K}_a) \mathbf{x}_a(k) + \Gamma_{ra} v_{o,ref}(k) + \Gamma_{oa} i_o(k) \\ v_o(k) &= C_a \mathbf{x}_a(k), \end{aligned} \quad (12)$$

$\mathbf{K}_a = [\mathbf{K}, -k_R]$ 는 확장된 상태의 피드백 이득이며, 이를 통해 출력 전압 지령 $v_{o,ref}(z)$ 과 출력 전압 $v_o(z)$ 의 전달 함수는 식 (13)과 같다.

$$G_v(z) = \frac{b_v(z)}{a(z)} = C_a (z\mathbf{I} - \Phi_a + \Gamma_{ia} \mathbf{K}_a)^{-1} \Gamma_{ra} \quad (13)$$

여기서 $a(z)$ 와 $b_v(z)$ 는 각각 시스템의 특성 방정식, 분자 다항식에 해당하며, 식 (15)는 식 (3)의 시스템 행렬과 입력 행렬의 성분으로 표현된다.^[2]

$$a(z) = \det(z\mathbf{I} - \Phi_a + \Gamma_{ia} \mathbf{K}_a) \quad (14)$$

$$b_v(z) = k_R \cdot (b_{i2}z + a_{21}b_{i1} - a_{11}b_{i2}) \quad (15)$$

식 (14)의 상태 피드백 이득 \mathbf{K}_a 를 조절하여 시스템의 특성을 결정할 수 있다. 시스템의 특성 방정식은 직접 극-배치 방식을 통해 설계하였으며, 특성 방정식의 근은 식 (16)과 같이 설정할 수 있다. 이 때, 특성 방정식 중 하나의 근은 PWM 계산 지연을 모델링하기 위해 0으로 하였다.

$$a(z) = z(z - \alpha_1)(z - \alpha_2)(z - \alpha_3) \quad (16)$$

제안하는 전압 제어기의 블록 다이어그램은 그림 4로 나타내었다.

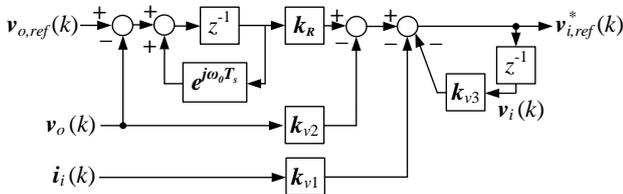


그림 4. 제안하는 상태 공간 전압 제어기의 블록 다이어그램

3.3 직접 극-배치 설계

전압 제어기를 포함한 시스템의 특성은 식 (14)의 극점에 의해 결정되며, 연속 시간 도메인에서 극점 선정 후 $z = \exp(sT_s)$ 변환을 이용해 이산 시간 시스템의 극점을 구할 수 있다.^[2] 연속 시간 기반 특성 방정식은 식 (17)과 같으며, 이에 대응하는 이산 시간 시스템의 극점은 식 (18)과 같다. 여기서 ω_r 와 ω_d 는 연속 시간 기반 시스템의 극점, ζ_d 는 감쇠비, 그리고 T_s 는 샘플링 시간을 의미한다.

$$(s + \omega_r)(s^2 + 2\zeta_d\omega_d s + \omega_d^2) \quad (17)$$

$$\alpha_1 = \exp(-\omega_r T_s), \quad (18)$$

$$\alpha_{2,3} = \exp((- \zeta_d \pm j\sqrt{1 - \zeta_d^2})\omega_d T_s)$$

이를 통해 제어기를 포함한 시스템의 특성이 결정되며, 식 (14)와 식 (16)의 계수 비교를 통해 상태 피드백의 이득을 계산할 수 있다.^[2]

4. 시뮬레이션 및 실험 결과

본 논문에서 제안한 전압 제어기의 성능을 검증하기 위해 시뮬레이션 및 실험을 진행하였다. 시뮬레이션은 MATLAB/Simulink, PLECS를 이용하였으며, 실험은 TMS320C28346 DSP에 구현하여 진행하였다. 시스템 및 제어기의 제정수를 각각 표 1과 표 2에 각각 나타내었으며, 인버터의 스위칭 주파수는 5kHz, 샘플링 주파수는 10kHz, 그리고 데드-타입은 2 μ s이다.

표 1. 시스템 제정수

Parameter	Value
직류단 전압, V_{dc}	400 [V]
출력 전압 지령, V_{ref}	179 [V _{peak}]
필터 인덕턴스, L_f	1.4 [mH]
필터 커패시턴스, C_f	18 [μ F]
필터 공진 주파수, f_{res}	1 [kHz]
부하 임피던스, Z_{load}	20 + 0 j [Ω]

표 2. 제어기 제정수

Parameter	Value
인버터 전류 피드백 이득, k_{v1}	8.01 + 0.72 j
출력 전압 피드백 이득, k_{v2}	-0.51 + 0.08 j
필터 입력 전압 피드백 이득, k_{v3}	0.64 + 0.04 j
복소 변수 공진 제어기 이득, k_R	0.15 + 0.04 j
지령 주파수, f_o	60 [Hz]

그림 5와 그림 6은 제안하는 전압 제어기의 시뮬레이션 및 실험 결과이며, A상 출력 전압 지령, 출력 전압, 그리고 부하 전류를 나타낸다. 출력 전압 지령은 선간 전압 220V_{rms} 3상 평형 전압을 인가하였다. 전압 제어기의 대역폭은 시스템의 안정성을 고려하여 필터 공진 주파수의 75%로 선정하였으며, 감쇠비는 오버슈트를 방지하기 위해 0.707로 설정하였다.

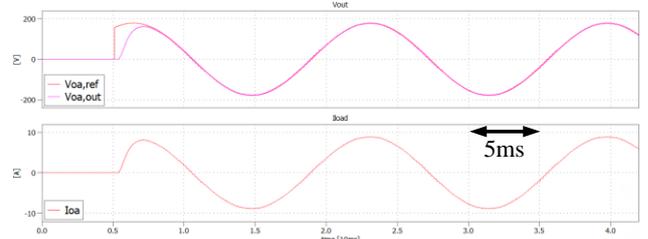


그림 5. 제안하는 전압 제어기의 시뮬레이션 결과

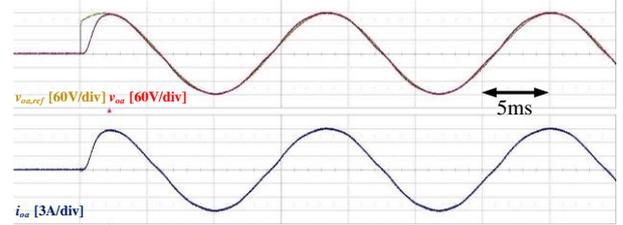


그림 6. 제안하는 전압 제어기의 실험 결과

그림 5의 시뮬레이션에서 5ms에 출력 전압 지령을 인가하였으며 약 3ms 이내로 지령을 추종하는 것을 확인할 수 있다. 이를 통해 좌표 변환 없이 제안된 제어기를 통해 지령에 대해 정상 상태 오차 없이 추종하는 것을 알 수 있다.

그림 6은 동일한 조건에서 전압 제어기 적용 시 실험 결과를 나타낸다. 시뮬레이션과 동일하게 약 3ms 이내에 정상 상태에 수렴하는 것을 확인하였으며 인가한 전압과 부하 임피던스에 따른 부하 전류가 흐르는 것을 확인할 수 있다.

5. 결론

본 논문에서는 LC 필터를 포함한 전압형 인버터의 CVRC 기반 이산 시간 상태 공간 전압 제어기를 설계하였으며, 제안한 제어기의 성능을 시뮬레이션 및 실험을 통해 검증하였다. 이를 통해 낮은 스위칭 주파수에서 충분한 안정성을 확보할 수 있으며, 좌표 변환을 위한 연산 없이 정상상태 오차를 제거할 수 있음을 확인하였다.

감사의 글

본 연구는 한국전력공사의 2023년 착수 사외공모 기초연구 사업에 의해 지원되었음 (과제번호 : R23X005-8)

참고 문헌

- [1] X. Quan, X. Dou, Z. Wu, M. Hu, H. Song and A. Q. Huang, "A Novel Dominant Dynamic Elimination Control for Voltage-Controlled Inverter," *IEEE Tran. Ind. Electron.*, vol. 65, no. 8, pp. 6800-6812, Aug. 2018.
- [2] H. -S. Kim, H. -S. Jung and S. -K. Sul, "Discrete-Time Voltage Controller for Voltage Source Converters With LC Filter Based on State-Space Models," *IEEE Tran. Ind. Appl.* vol. 55, no. 1, pp. 529-540, Jan.-Feb. 2019.
- [3] C. A. Busada, S. Gomez Jorge, A. E. Leon and J. A. Solsona, "Current Controller Based on Reduced Order Generalized Integrators for Distributed Generation Systems," *IEEE Tran. Ind. Electron.* vol. 59, no. 7, pp. 2898-2909, July 2012.