

GaN HEMTs 병렬 구동 시 데드타임 및 게이트 저항의 과도상태에 미치는 영향 분석

제갈준혁, 권민호, 오창열, 이종필
한국전기연구원

Analysis of the influence of deadtime and gate resistance on the transients of GaN HEMTs in parallel operation

Junhyeok Jegal, Minho Kwon, Chang-Yeol Oh, Jong-Pil Lee
Korea Electrotechnology Research Institute

ABSTRACT

GaN 소자는 Si 기반 소자 대비 우수한 성능으로 인해 현대 전력전자 분야에서 각광받고 있다. 하지만 상용 GaN 소자의 낮은 전류정격으로 인해 대용량화를 위해서는 소자를 병렬 연결하여 사용하고 있지만 병렬 기반 GaN 구동 연구는 부족한 실정이다. 따라서 본 논문에서는 GaN HEMTs 소자 기반 과도상태에서의 성능을 개선하기 위해 도통손실에 영향을 주는 데드타임과 스위칭 손실에 영향을 주는 게이트 저항을 과도상태 관점에서 분석하였다. 최적의 구동 조건을 선정하기 위해 벽 컨버터 기반 시작품을 제작하고 실험을 수행하였다.

1. 서론

기존 실리콘(Si) 기반 전력변환장치의 이론적 성능이 한계에 봉착함에 따라 효율과 밀도를 개선하는 데 어려움이 있다. 이에 따라 GaN HEMTs 소자는 우수한 스위칭 성능으로 인해 기존 Si MOSFET을 대체할 수 있는 소자로 주목받고 있다. 하지만 이러한 장점에도 불구하고 상용 GaN 소자의 전류 정격이 낮기 때문에(<60A) 소용량 분야에서만 주로 사용되고 있다.

이를 해결하기 위한 가장 간단한 접근 방식은 소자를 병렬로 연결하는 것이다. SiC MOSFET의 경우, 지난 10여년간 병렬화 연구가 진행됐지만 GaN 소자의 병렬화 연구는 아직도 더딘 상태이다. 그럼에도 현재 상용화된 소자 중 정격이 가장 높은 60A를 활용하여 4병렬 연구를 수행한 사례가 있다^[1]. 하지만 병렬 기반 대용량 응용분야로 나아가는 데에는 여전히 몇 가지 과제가 남아 있다. 먼저 스위치 간 상보동작 시 데드타임의 선정 기준이 필요하다. 과거 IGBT를 사용할 때에는 필요한 데드타임보다 길게 설정해도 충분했지만 GaN 소자는 바디 다이오드가 없으므로 데드타임 구간 동안 역병렬 도통 시 높은 순방향 전압으로 인해 불필요한 손실을 유발한다. 이에 따라 GaN 기반 최적의 데드타임 값을 찾기 위한 모델링 연구도 진행되었지만, 단일스위치, 경부하 조건에서만 수행한 한계가 있다^[2]. 또한, GaN 소자의 주요 특성으로는 PTC(Positive Temperature Coefficient)가 있으며 이로부터 병렬구조 시 순방향 도통에 따른 온도 차이는 보상이 가능하지만, 역방향 도통시에는 PTC 특성이 나타나지 않는 문제점이 있으므로 데드타임 구간을 최적화시켜야 한다. 다음으로 GaN 병렬화를 위한 단일 게이트 드라이버 기반 게이트 저항 선정에 관한 연구 또한 부족한 실정이다. 단일 드라이버의 경우 병렬 수 증가에

따라 게이트 전압의 기울기 감소로 스위칭 손실이 급격히 커지기 때문에 이를 고려하여 병렬 수를 선정할 필요가 있다.

본 논문에서는 병렬 구동에 따른 과도상태의 영향을 분석하기 위해 소자의 케이스 온도 T_c 는 100°C 이하로 제한하였다. 데드타임 실험의 경우, 전체 극단적인 데드타임 범위에서 부하에 따른 효율 비교 실험을 수행하였고, 경부하에서 과도상태 시간이 길기 때문에 이를 고려한 고정 데드타임을 선정하였다. 게이트 저항 실험의 경우, 고밀도를 위해 단일 드라이버를 활용하였고 드라이버의 출력전류를 고려하여 최종적으로 3병렬을 선정하였다.

2. 데드타임의 영향

2.1 데드타임에 따른 과도상태 분석

이 장에서는 GaN 소자 활용 시 데드타임에 따른 과도상태 영향을 분석한다. 그림 1은 본 연구에서 사용된 동기식 벽 컨버터의 회로도를 보여준다. 상단스위치 Q_H 는 벽 모드에서 작동하기 위한 제어 스위치 역할을 하고, 하단 스위치 Q_L 은 정류기 스위치 역할을 한다. 단락상황을 방지하기 위해서는 상보 동작하는 두 스위치의 데드타임 구간이 필수적이다.

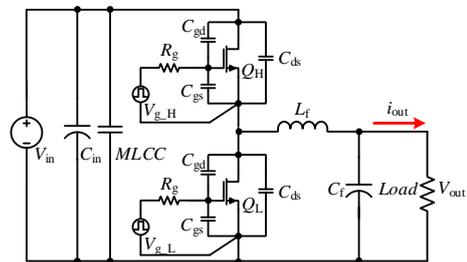


그림1 GaN 병렬 구동을 위한 벽컨버터 회로도
Fig.1 Buck-converter schematic for GaN parallel drive

데드타임 구간 동안 전류는 소자의 역방향으로 도통하게 되고 GaN은 MOSFET 보다 포워드 전압이 더 크기 때문에 원치 않는 도통손실을 야기하므로 데드타임을 최소화해야 한다. 데드타임 구간 동안에 발생하는 도통손실은 식 (1)과 같이 표현할 수 있고, 데드타임의 시간을 줄임으로써 도통손실을 최소화할 필요가 있다. 그러나, 너무 짧은 데드타임 선정은 과도상태 구간동안 짧은 단락을 유발하기 때문에 효율이 급격히 저하되므로 적절히 선정할 필요가 있다.

$$P_{dead} = V_{ds} \cdot i_L \cdot f_{sw} \cdot (t_{don} + t_{doff}) \quad (1)$$

2.2 데드타임 선정 기준

데드타임 선정을 위해 고려해야 할 사항으로는 컨버터의 출력 전력에 따른 최적의 데드타임 값이 달라진다는 것이다. 그림 2의 실험결과를 보면 경부하와 정격부하에 따른 상단 스위치와 하단 스위치의 과도상태 전압을 볼 수 있다. 식 (2)에 의해 경부하에서는 dv/dt 가 작아지므로 이를 고려하여 하드스위칭 시 경부하 기준으로 데드타임을 선정할 필요가 있다.

$$\frac{dv_c}{dt} = \frac{V_{in} \cdot i_{out}}{C_{oss}} \quad (2)$$

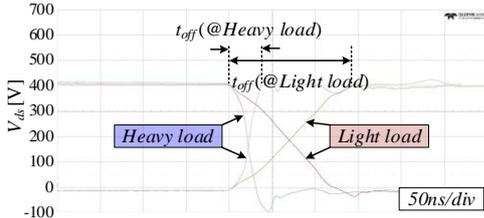


그림2 부하 크기에 따른 스위치 전압 과도상태 시간 비교
Fig.2 Switch voltage transient time vs. load size

3. 게이트 저항의 영향

3.1 게이트 저항에 따른 과도상태 분석

이 장에서는 GaN 병렬 구동 시 게이트 저항에 따른 과도상태의 영향에 대해 분석한다. 게이트 저항은 소자의 입력 커패시턴스로 충전되는 전류의 크기를 조절하는 변수로서 과도상태에서 스위칭 손실을 결정할 뿐만 아니라 노이즈와 링잉을 제한하기 때문에 최적의 게이트 저항 선정은 고성능 설계의 핵심이다.

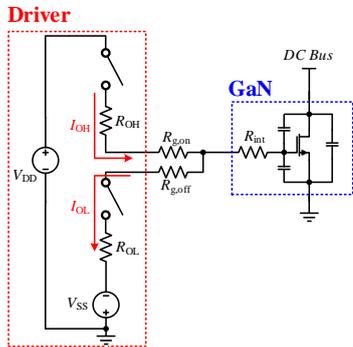


그림3 GaN 병렬 구동을 위한 게이트 드라이버 및 GaN 구성
Fig.3 Configuring gate drivers and GaN for parallel driving

그림 3은 GaN 소자 병렬 구동을 위한 게이트 드라이버, 외부 게이트 저항, GaN 소자의 내부 구성을 나타낸다. 게이트 드라이버는 소자의 스위칭을 위한 양전압 V_{DD} 과 음전압 V_{SS} 이 있고, 내부저항 R_{OH} , R_{OL} 으로 구성된다. 그리고, 병렬로 구성된 GaN 소자는 1개로 등가표현하고 소자 내부는 기생 커패시터와 내부 저항으로 구성할 수 있다.

3.2 게이트 저항 선정 기준

단일 게이트 드라이버를 활용한 GaN 소자의 병렬 구동 시, 게이트 저항 값은 스위칭 과도구간에서의 영향이 크기 때문에 기준을 가지고 선정할 필요가 있다. 본 연구에서 게이트 저항에

따른 과도상태 분석을 위해 단일 게이트 드라이버의 전류 정격을 우선적으로 고려하였고 Silicon Labs社(Si8271GB-IS)를 선정하였다. 사양은 정격 소스전류 $I_{OH} = 1.8A$, 싱크전류 $I_{OL} = 4A$ 이다. 식(3), (4)로부터 드라이버 출력 전류보다 작은 값으로 마진을 고려하여 게이트 저항 값을 선정할 수 있다.

$$I_{OH} > \frac{V_{DD} - V_{SS}}{R_{OH} + R_{g,on} + R_{int}} \quad (3)$$

$$I_{OL} > \frac{V_{DD} - V_{SS}}{R_{OL} + R_{g,off} + R_{int}} \quad (4)$$

게이트 드라이버의 정격전류 값에 따라 드라이버 피크 전류 마진을 고려한 게이트 저항 값은 $R_{g,on} = 3.3\Omega$ 및 $R_{g,off} = 1.5\Omega$ 으로 선정하였다. 선정된 값으로 병렬 갯수에 따른 과도상태를 확인하기 위해 그림 4와 같이 실험적으로 게이트 전압을 비교하였다. 동일한 게이트 저항 값이라도 병렬연결이 증가할수록 소자의 입력 커패시턴스가 증가함에 따라 게이트 기울기가 감소하고 이는 스위칭 손실로 이어진다.

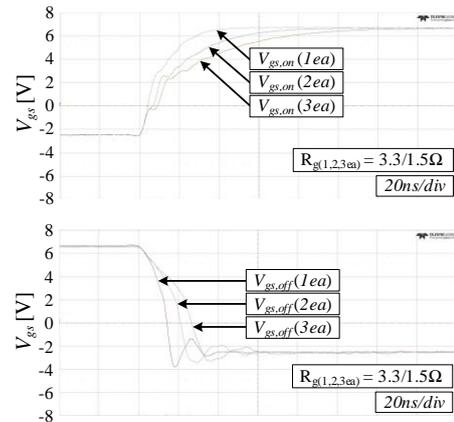


그림4 병렬 갯수별 게이트 전압 기울기 파형(상단: 턴-온, 하단: 턴-오프)
Fig.4 Gate voltage slope waveform by number of parallels (top: turn-on, bottom: turn-off)

4. GaN 병렬 실험결과

4.1 GaN 병렬 구동 하드웨어 구성

앞서 소개한 두 변수에 대한 과도상태 분석을 위해 그림 5와 같이 5병렬까지 연결 가능한 벽컨버터 기반의 시작품을 제작하였다. 실험에 사용된 GaN 소자는 GaN Systems社의 GS66516B를 사용하였고 60A(@25°C), 47A(@100°C)의 정격을 가진다. 입력전압 V_{in} 은 GaN 전압 정격을 고려하여 400V로 설정하였고 출력전압 V_{out} 은 140V로 하였다.

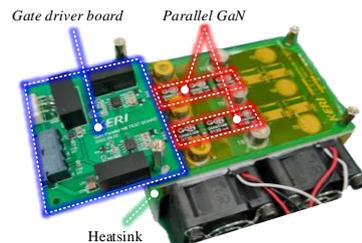


그림5 GaN 소자 병렬 구동을 위한 시작품
Fig.5 Prototype for paralleling GaN devices

4.2 데드타임 영향 실험

데드타임 가변 실험결과, 네 가지(0.5~2.0kW) 부하 조건별로 데드타임(0ns ~ 8000ns)에 따른 컨버터의 효율을 그림 6과 같이 나타낼 수 있다. GaN 디바이스의 역방향 도통 시간을 나타내는 데드타임 구간에서는 시간이 길어질수록 도통손실이 증가하여 효율이 감소한다.

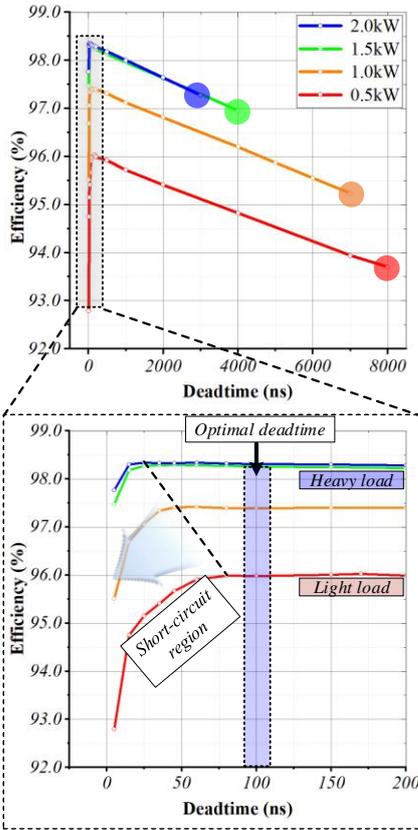


그림6 데드타임에 따른 효율 측정 결과 그래프
Fig.6 Graph of efficiency measurements as a function of deadtime

그림 6의 하단에 확대된 그림을 보면 데드타임이 0ns에 가까워질수록 컨버터의 상-하단 스위치의 과도상태에서 단락이 발생하므로 효율이 급격히 감소하는 것을 알 수 있다. 특히 출력전류가 작은 경부하 조건에서는 과도 구간 동안 출력 커패시턴스 C_{ds} 를 충전하는 데 더 많은 시간이 걸리기 때문에 단락영역을 피하려면 경부하에서 충분한 데드타임이 요구된다. 따라서 약 0.5kW의 경부하 기준으로 고정 데드타임(약 100ns)을 선정할 수 있다.

4.3 게이트 저항 영향 실험

GaN 소자의 병렬 구동을 위해 단일 게이트 드라이버를 기준으로 게이트 저항을 선정하였다. 단일 GaN 소자로 구성된 경우 최대 3.9kW(출력전류 28A)를 출력할 수 있다. 그러나 3병렬의 경우 최대 7.7kW이므로 병렬 GaN 갯수에 비례하여 출력전력이 증가하지 않음을 알 수 있다. 이는 병렬 구성 시, 단일 게이트 드라이버를 활용하므로 그림 4와 같이 게이트 전압 기울기가 감소하면서 큰 스위칭 손실을 유발하기 때문이다. 따라서 이 손실은 GaN 소자의 온도 상승을 유발하므로 병렬 갯수 증가에 따른 허용 출력에도 한계가 있다. 게다가 병렬 GaN 구성이 단일 GaN 구성보다 스위치 상호 간의 열간섭으로 인해 허용 출력에 영향을 줄 수 있다. 따라서 드라이버를 1개만

활용함에 따른 밀도 개선과 GaN의 효율과의 trade-off 관계를 고려하여 최종적으로 3병렬을 선정할 수 있다.

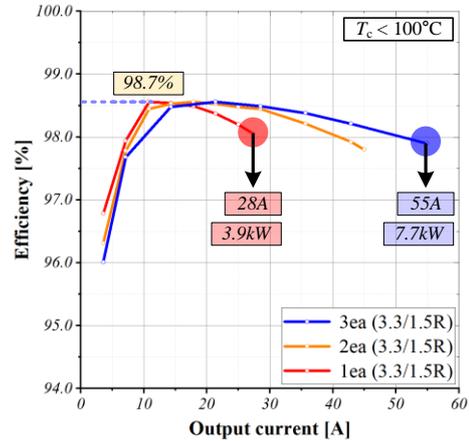


그림7 병렬 갯수별 컨버터 출력에 따른 효율 그래프
Fig.7 Efficiency graph as a function of converter output power by number of parallels

5. 결론

본 논문에서는 GaN 소자 기반 대용량화를 위한 병렬 구동 시 데드타임과 게이트 저항 값에 따른 과도상태에 미치는 영향을 분석하였다. 이를 위해 벽컨버터 회로를 활용하여 부하별 데드타임에 따른 영향을 실험적으로 분석하였고, 단일 게이트 드라이버를 활용하여 게이트 저항 값 선정에 대한 기준을 제시하였다. 데드타임 실험의 경우, 경부하에서 과도상태의 단락상황을 방지하기 위해 약 100ns의 데드타임을 선정하였다. 게이트 저항 실험의 경우, 단일 게이트 드라이버의 허용 최대 전류를 고려하여 선정하였고 선정된 게이트 저항 값을 적용하여 실험적으로 게이트 기울기 감소를 확인하였고 이로부터 GaN 소자의 스위칭 손실에 영향을 줄 것으로 판단할 수 있다. 이를 검증하기 위해 병렬 갯수 증가에 따른 부하실험 결과, 병렬 갯수가 증가하더라도 최대 허용전류가 비례하여 증가하지 않는 것으로 보아 스위칭 손실에 의한 전류 상승의 한계가 있으므로 결과적으로는 3병렬을 초과한 연결은 무의미하다고 할 수 있다. 이 연구를 통해 다른 GaN 기반 병렬 동작 시 대용량과 고밀도 컨버터를 기대할 수 있다.

이 연구는 2024년도 정부(과학기술정보통신부)의 재원으로 국가과학기술연구회의 지원을 받아 수행된 한국전기연구원 기본사업임(No. 24A01031)

참고 문헌

- [1] P. P. Das *et al.*, "Paralleling of Four 650V/60A GaN HEMTs for High Power Traction Drive Applications," *2021 IEEE Energy Conversion Congress and Exposition (ECCE)*, pp. 5269-5276, 2021.
- [2] D. Han and B. Sarlioglu, "Deadtime Effect on GaN-Based Synchronous Boost Converter and Analytical Model for Optimal Deadtime Selection," *IEEE Trans. Power Electron.*, vol. 31, no. 1, pp. 601-612, 2016.