

# 데이터 센터용 빅 컨버터를 위한 대전류 출력 인덕터의 최적 설계

임형욱, 김희준, 장효서, 한상규<sup>†</sup>  
국민대학교 POESLA

## Optimal Design of High Current Output Inductor for Buck Converter in Data Centers

Hyeong-Wook Lim, Hee-Joon Kim, Hyo-Seo Jang and Sang-Kyoo Han<sup>†</sup>  
POwer Electronics System LABoratory, Kookmin University

### ABSTRACT

데이터 센터 PDU (Power Distribution Unit)는 주로 48V를 입력받고 12V의 낮은 출력 전압에서 수 kW의 전력을 요구하는 대전류 어플리케이션이다. 이에 강압형 컨버터를 적용 시 출력 인덕터의 자속 밀도 오프셋이 매우 높아 파워더 재질의 코어를 적용하는 것이 유리하다. 또한 PDU는 고효율 및 고전력밀도가 요구되고 있어 사이즈 절감을 위한 최적 설계가 필요하다. 그런데 파워더 재질의 코어는 그 사이즈가 인덕턴스에 큰 영향을 미치고, 대전류 어플리케이션의 주요 손실인 권선 손실도 창면적에 따라 결정되기 때문에 코어 사이즈별 손실 분석이 반드시 진행되어야 한다. 본 논문에서는 이러한 특징들을 고려하여 고효율 및 고전력밀도 달성을 위한 파워더 재질의 출력 인덕터 최적 설계 방안을 제안한다.

### 1. 서론

최근 클라우드 컴퓨팅, 인공지능, 빅 데이터 등의 연구 개발이 활발히 이루어짐에 따라 데이터 센터의 수요가 급격히 증가하고 있다<sup>[1]</sup>. 그뿐만 아니라 데이터 센터에서 요구하는 전력량 또한 빠르게 증가하고 있는 추세이다. 따라서 데이터 센터에 전력을 공급하는 컨버터가 요구받는 출력 전력도 상승되어 고효율 및 고전력밀도의 중요성은 날이 증가하고 있다.

데이터 센터용 컨버터 중 프린트-엔드 전원 모듈로부터 주로 48V를 입력받아 12V를 출력하는 PDU가 존재한다. PDU는 비절연형의 강압형 컨버터가 요구되므로 그림 1과 같이 DM 커플드 인덕터를 적용한 빅 컨버터를 적용할 수 있다. 또한 PDU는 수 kW의 출력 전력을 요구받고 있기 때문에 출력 전류가 수백 A에 달하는 대전류 어플리케이션이다. 따라서 출력 인덕터의 전류 오프셋이 매우 크므로 자기 포화를 고려하였을 때 포화 자속 밀도  $B_{sat}$ 이 높은 파워더 재질의 코어를 적용하는 것이 유리하다.

또한 고전력밀도 달성을 위해서는 많은 부피를 차지하는 자성체의 사이즈를 절감하는 것이 효과적이며, 고효율을 달성하기 위해 손실을 최소화하는 최적 설계가 반드시 필요하다. 그런데 파워더 재질의 코어는 유효 단면적  $A_e$ 와 자기 경로 길이  $l_e$  변화에 따라 인덕턴스가 큰 폭으로 변화한다. 그리고 대전류 어플리케이션에서 손실에 주요한 영향을 끼치는 권선의 단면적도 코어의 형상에 따라 결정된다. 결국 최적 설계를 위해서는

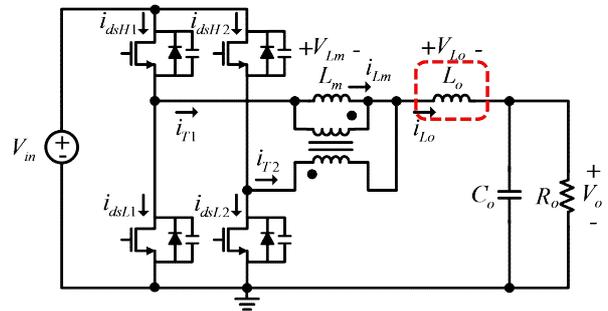


그림 1 DM 커플드 인덕터 3-레벨 빅 컨버터  
Fig. 1 DM Coupled Inductor 3-level Buck Converter

자기 포화를 고려하여 최대 자속 밀도  $B_{max}$ 를 설정하고 이를 초과하지 않는 코어 사이즈별 분석이 필요하다. 따라서 본 논문에서는 코어 사이즈별 분석을 통해 출력 인덕터를 최적으로 설계하는 방안을 제안하도록 한다.

먼저 2장에서는 설정한  $B_{max}$ 를 만족하는 출력 인덕터의  $A_e$ 와  $l_e$ 를 인덕터 전류 리플에 따라 분석하고, 각각의  $A_e$ 와  $l_e$  조합마다 코어의 형상을 도출하는 방안을 제안한다. 3장에서는 제안 방안을 적용하여 전체 컨버터 손실과 코어의 사이즈를 분석하여 고효율 및 고전력밀도 달성에 유리한 출력 인덕터를 설계한다.

### 2. 제안 출력 인덕터 최적 설계 방안

출력 인덕터 설계를 위해서는 동작 주파수  $f_{sw}$ , 턴 수  $N$ , 투자율  $\mu_r$ , 최대 자속 밀도  $B_{max}$  등의 파라미터를 선정해야 한다. 3장에서 주파수 변화를 통해 최적 주파수를 검토하므로 우선 동작 주파수는 임의로 선정하도록 한다.  $B_{max}$ 의 경우 재질의  $B_{sat}$ 에 따라 설정이 필요한데,  $B_{sat}$ 은 온도 변화에 의해 그 값이 변동하므로 이를 고려한 적절한 값을 선정해야 한다.

파워더 재질의 코어는 제작 과정에서  $\mu_r$ 이 고정되며 식 (1)과 같이  $\mu_r$ ,  $A_e$ ,  $l_e$ ,  $N$ 에 의해 인덕턴스  $L_o$ 가 결정된다.

$$L_o = \frac{\mu_r \mu_o A_e N^2}{l_e} \tag{1}$$

이때  $\mu_o$ 는  $4\pi \cdot 10^{-7} \mu\text{H/m}$ 이고, 결국 손실 분석을 통해 최적 주파수 및 인덕턴스를 도출할 때 코어의 사이즈가 큰 영향을 미치게 된다. 그러나 고전력밀도를 달성하기 위해서는 출력 인

표 1 데이터 센터용 벅 컨버터 사양

Table 1 Specification of Buck Converter for Data Centers

Nominal Input Voltage	$V_{in(nom)}$	48V
Max Input Voltage	$V_{in(max)}$	60V
Output Voltage	$V_o$	12V
Output Power	$P_o$	2kW
Peak Output Power	$P_{o(pk)}$	3.6kW (400 $\mu$ s)
High Side FET	-	NTMFS2D1N08X 6EA
Low Side FET	-	NTMFWS1D5N08X 6EA
DM Coupled Inductor	Wire	2mm x 3mm
	Turn Ratio	1 : 1
	$A_e$	150mm <sup>2</sup>
	$l_e$	32.7mm
Output Inductor	$L_m$	2 $\mu$ H
	$\mu_r$	60
	$N$	1 ~ 3
Switching Frequency	$f_{sw}$	50kHz ~ 150kHz

덕터의 사이즈를 최소화하는 것이 요구되며, 이는  $B_{max}$ 에 의해 결정된다.  $B_{max}$ 는 암페어의 법칙에 의해 식 (2)와 같고, 인덕터 전류의 최대 지점인  $I_{Lo(pk)}$ 에 의해  $A_e$ 와  $l_e$ 는 식 (3)과 같은 관계식을 갖는다.

$$B_{max} = \mu_o \mu_r \frac{NI_{Lo(pk)}}{l_e} \quad (2)$$

$$l_e = \frac{2\mu_o \mu_r N^2 A_e I_{Lo(pk)}}{2B_{max} A_e N - \left(\frac{V_{in(max)}}{2} - V_o\right) D_{min} T_s} \quad (3)$$

식 (3)에서  $I_{Lo(pk)}$ 는 시스템에서 짧은 시간 동안 정격 부하 전류 이상으로 출력을 요구하는 최대 부하 전류이며,  $V_{in(max)}$ 는 최대 입력 전압,  $D_{min}$ 는  $V_{in(max)}$ 일 때의 듀티비이다. 표 1과 같은 사양에서  $f_{sw} = 100$ kHz,  $N = 2$ 일 때 식 (1)의 인덕터 전류 리플별  $A_e$ 와  $l_e$  관계식과 식 (3)의  $B_{max}$ 를 만족하는  $A_e$ 와  $l_e$  관계식을 그래프로 나타내면 그림 2와 같다. 이때 코어 재질은 DH060을 적용하였고,  $B_{sat}$ 은 1.6T이므로  $B_{max}$ 는  $B_{sat}$ 의 80%인 1.28T로 설정한다. 그림 2에서 알 수 있듯이 설정한  $B_{max}$ 를 만족하면서 각각의 인덕터 전류 리플을 만족하는  $A_e$ 와  $l_e$ 는 유일한 값으로 존재하고, 설정한  $B_{max}$ 가 클수록 조건을 만족하는  $A_e$ 와  $l_e$ 는 작아진다. 따라서 코어가 자기 포화되지 않을 최소한의 사이즈만을 확보하도록 설계가 가능하며, 이를 통해 출력 인덕터 사이즈를 저감하여 고전력밀도를 달성할 수 있다.

한편,  $A_e$ 와  $l_e$ 를 통해 출력 인덕터의 코어 손실은 분석 가능하지만 권선 손실 분석을 위해서는 구체적인 코어의 형상이 설계되어야 한다. IEC 60205에 의하면 코어의  $A_e$ 와  $l_e$ 는 식 (4)와 식 (5)에 의해 정의된다<sup>[2]</sup>.

$$C_1 = \sum_{i=1}^5 \frac{l_i}{A_i}, \quad C_2 = \sum_{i=1}^5 \frac{l_i}{A_i^2} \quad (4)$$

$$A_e = \frac{C_1}{C_2}, \quad l_e = \frac{C_1^2}{C_2} \quad (5)$$

이때  $A_i$ 와  $l_i$ 는 코어 각 부분의 단면적과 길이이다. 그런데 코어의 자기 포화는  $A_{min}$ 인  $\min(A_i)$ 에 의해 결정되므로 한 부

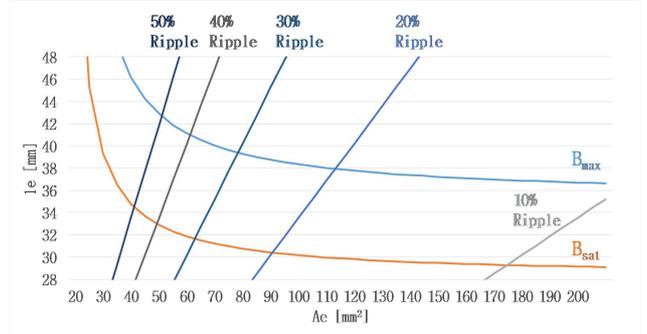


그림 2 자속 밀도 및 인덕터 전류 리플별  $A_e$ 와  $l_e$  조합  
Fig. 2 Combination of  $A_e$  and  $l_e$  by Flux Density & Inductor Current Ripple

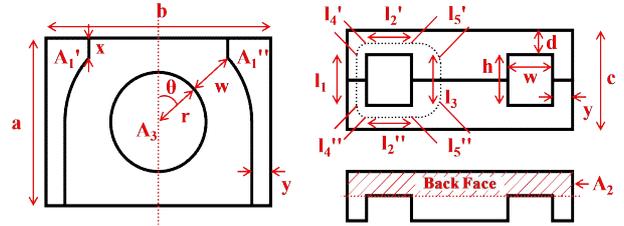


그림 3 제안 코어 형상  
Fig. 3 Proposed Core Shape

분의 단면적이 다른 단면적에 비해 매우 작다면  $A_e$ 와 무관하게 자기 포화가 발생할 수 있다. 따라서  $A_i = A_e$ 로 설계하도록 하고, 이 경우  $l_e = l_1 + l_2 + l_3 + l_4 + l_5$ 가 된다. 코어 중족의 형태는 다른 형태에 비해 권선의 길이를 저감할 수 있는 원형으로 선정한다. 그리고 코어의 창면적 사용률을 극대화하기 위해 권선은 평각동선을 적용한다. 코어의 형상은 그림 3과 같이 평각동선이 일직선으로 감겨져 나올 수 있도록 하여 권선의 길이를 최소화한다. 그리고 코어의 두께가 얇을 경우 실제 제작시 파손이 발생하므로 두께는 최소 1.5mm가 되도록 하며, 외측 단면적  $A_1$ 은  $A_e$ 를 만족할 수 있도록  $\theta$ ,  $y$  등을 조절한다. 코어 높이  $c$ 는 전체 시스템 높이에 의해 제한된다고 가정한다.

그림 3에서 빗금친 부분을 배면이라고 정의하면, 중족 단면적  $A_3 = A_e$ 에 의해 결정되는 중족의 둘레에 따라 배면에 해당되는 중족의 길이가  $2\pi r d$ 도 달라진다. 배면에 해당되는 중족의 길이기도  $A_e$ 가 되도록 하는  $d$ 를 구해야 하므로 식 (6)을 이용하여  $r$ 과  $d$ 의 값을 결정한다. 따라서 권선의 최대 두께  $h$ 는  $h = c - 2d$ 로 도출할 수 있다.

$$r = \sqrt{\frac{A_e}{\pi}}, \quad d = \frac{A_e}{2\pi r} \quad (6)$$

그림 3에서 화살표 방향으로 바라본 배면의 단면적  $A_2$ 도  $A_e$ 이므로  $2ad = A_e$ 에 의해  $a$ 가 결정된다. 다음으로  $l_2 = l_e - l_1 - l_3 - l_4 - l_5$ 에서 식 (7)과 식 (8)을 이용하여  $l_2$ 를 구하면 식 (9)에 의해 권선의 최대 폭  $w$ 가 도출된다.

$$l_4 = \frac{\pi}{4}(y + d) \quad (7)$$

$$l_5 = \frac{\pi}{2}(0.298014 \cdot 2r + \frac{d}{2}) \quad (8)$$

$$w = \frac{(l_2 + r)^2 - \left(\frac{a}{2}\right)^2 - r^2}{2(2r + l_2)} \quad (9)$$

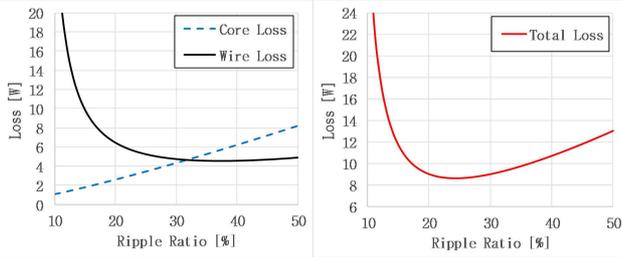


그림 4 인덕터 전류 리플별 출력 인덕터의 손실 분석 결과  
Fig. 4 Output Inductor Loss Analysis Result by Inductor Current Ripple

이와 같은 방법으로  $A_e$ 와  $l_e$ 가 정해지면 권선의 최대 두께  $h$ 와 폭  $w$ 를 도출하여 출력 인덕터 권선의 손실 분석이 가능하다. 일례로 그림 4는 제안된 출력 인덕터 설계 방안을 표 1과 같은 사양에서  $f_{sw} = 100\text{kHz}$ ,  $N = 2$ ,  $B_{max} = 1.28\text{T}$ 일 때 적용한 결과이다. 인덕터 전류 리플이 24%로 인덕턴스가 750nH일 때 출력 인덕터의 전체 손실이 최소가 되는 것을 알 수 있다.

### 3. 손실 분석 결과

앞서 2장에서 제안된 출력 인덕터 설계 방안을 적용하여 표 1과 같은 사양을 갖는 데이터 센터용 벽 컨버터의 전체 손실을 분석하도록 한다. 최적의 출력 인덕터 사양과 동작 주파수를 도출하기 위하여 턴 수를 1턴에서 3턴, 동작 주파수를 50kHz부터 150kHz까지 변화시켜 분석한다.

그림 5(a)는  $B_{max}$ 가 1.28T일 때 인덕터 전류 리플별  $A_e$ 와  $l_e$  조합에서 출력 인덕터 턴 수  $N$ 이 2턴인 경우와 3턴인 경우에 대한 전체 컨버터 효율 그래프이다.  $N = 2$ 일 때는  $f_{sw} = 70\text{kHz}$ , 인덕턴스 857nH, 인덕터 전류 리플 30%,  $A_e = 110.49\text{mm}^2$ ,  $l_e = 38.88\text{mm}$ 에서 98.34%의 최대 효율 지점이 도출되었다.  $N = 3$ 일 때는  $f_{sw} = 80\text{kHz}$ , 인덕턴스 803nH, 인덕터 전류 리플 28%,  $A_e = 68.64\text{mm}^2$ ,  $l_e = 57.96\text{mm}$ 에서 98.11%의 최대 효율 지점이 도출되었다.  $N = 3$ 일 때는 권선 손실 증가로 인해  $N = 2$ 일 때에 비해 약 4.7W의 손실이 증가하였다. 뿐만 아니라 코어의 높이는 일정한 상태에서  $l_e$ 가 상승하여 권선 최대 폭  $w$ 가 증가하고 코어의 외곽 사이즈도 약 30% 증가하였다.

$N = 1$ 일 때는  $B_{max}$ 를 1.28T로 고정하면 요구되는  $l_e$ 가 매우 작아 이를 만족하는 코어 제작이 불가능하다. 따라서  $B_{max}$ 가 1.28T 이하이면서 컨버터 전체 손실을 최소화하는 출력 인덕터를 설계하여 비교하도록 한다. 그림 5(b)는  $N = 1$ 에서  $B_{max}$ 가 1.28T 이하일 때 주파수별 최대 효율을 나타내는 지점을 그림 5(a)의  $N = 2$ 일 때와 비교한 결과를 나타낸다.  $N = 1$ 에서  $f_{sw} = 90\text{kHz}$ 일 때 98.30%의 최대 효율이 도출되고, 이때 출력 인덕터 사양은  $A_e = 269.59\text{mm}^2$ ,  $l_e = 44.72\text{mm}$ 이며 인덕턴스 455nH, 인덕터 전류 리플 44%,  $B_{max} = 0.58\text{T}$ 가 된다. 그러나  $N = 2$ 일 때가  $N = 1$ 일 때에 비하여 최대 효율이 우수할 뿐만 아니라 코어의 외곽 사이즈도 약 44% 수준으로 저감 가능하다. 따라서 최적의 출력 인덕터 사양과 동작 주파수는  $N = 2$ , 인덕턴스 857nH, 인덕터 전류 리플 30%,  $A_e = 110.49\text{mm}^2$ ,  $l_e = 38.88\text{mm}$ ,  $f_{sw} = 70\text{kHz}$ 이고, 이때의 출력 인덕터 형상을 그림 6에 나타내었다.

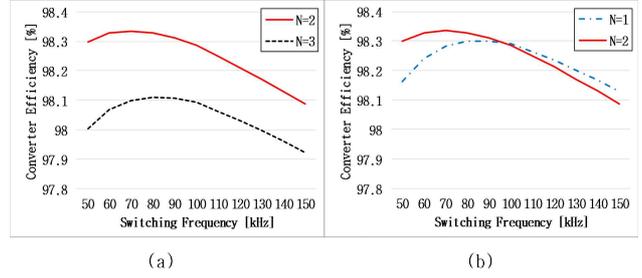


그림 5 출력 인덕터 턴 수 변화에 따른 동작 주파수별 효율 그래프  
(a)  $N = 2$  vs  $N = 3$  (b)  $N = 1$  vs  $N = 2$   
Fig. 5 Efficiency Graph by Switching Frequency according to Change of Output Inductor Turns  
(a)  $N = 2$  vs  $N = 3$  (b)  $N = 1$  vs  $N = 2$

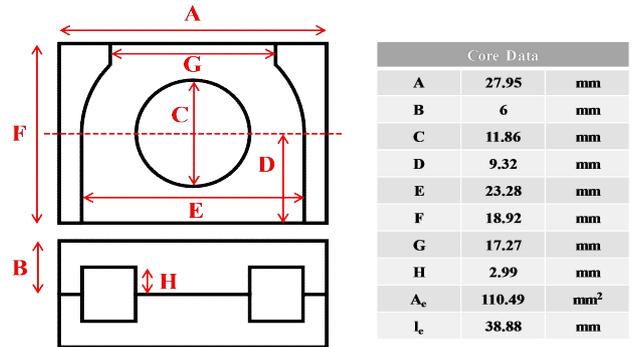


그림 6 최적 출력 인덕터 사양  
Fig. 6 Optimal Output Inductor Specification

### 4. 결론

제안된 출력 인덕터 설계 방안은 코어의 자기 포화를 고려하여 설정한  $B_{max}$ 를 초과하지 않으면서 손실을 최소화하는 최적 형상을 도출한다. 이때 코어 각 부분의 면적들을 유효 단면적과 동일하게 설계하기 때문에 자기 포화에 강인한 출력 인덕터 설계가 가능하다. 또한  $A_e$ 와  $l_e$ 별로 코어의 형상을 결정하기 때문에 컨버터의 전체 손실과 코어의 사이즈를 비교하기가 용이하다. 따라서 제안된 출력 인덕터 설계 방안은 대전류 벽 컨버터의 고효율 및 고전력밀도 달성에 유리하며, 이를 적용하여 2kW급 컨버터의 손실을 분석한 결과 동작 주파수 70kHz에서 98.34%의 높은 효율 획득이 가능할 것으로 예상된다.

이 논문은 2021년도 정부(산업통상자원부)의 재원으로 한국에너지기술평가원의 지원(20212020800020, 통합형 최적설계 플랫폼 기반 초고효율 전력변환시스템 개발)을 받아 수행된 연구임  
이 논문은 (주)솔루엠의 연구비 지원에 의하여 연구되었음

### 참고 문헌

[1] Y. Chen, K. Shi, M. Chen and D. Xu, "Data Center Power Supply Systems: From Grid Edge to Point-of-Load," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 11, no. 3, pp. 2441-2456, June 2023.  
[2] Calculation of effective parameters of magnetic piece parts, IEC Standard IEC 60205 Ed 4.0