대전류 인터리브드 벅 컨버터를 위한 출력 인덕터 구조에 대한 비교분석

김희준[1] 임형욱[1] 장효서[1] 한상규†
국민대학교 POESLA[1]

Comparative Analysis of Output Inductor Structures for High Current Interleaved Buck Converter

Hee-Joon Kim[1] Hyeong-Wook Lim[1] Hyo-Seo Jang[1] Sang-Kyoo Han†
Kookmin University POESLA[1]

ABSTRACT

본 논문은 대전류 애플리케이션에서 고효율 및 고전력밀도 달성을 위한 비절연형 벅 컨버터용 출력 인덕터의 자기구조를 제시한다. 3-레벨 벅 컨버터는 종래의 일반적인 벅 컨버터와 비교하여 리플이 1/4 수준으로 출력 인덕턴스를 작게 설계할 수 있다. 그러나 대전류 사양의 경우 플라잉 캐패시터를 충방전하는 큰 인덕터 전류로 인해 캐패시터의 병렬 개수가 증가하므로 고전력밀도 달성에 어려움이 있다. 2상 인터리브드 벅 컨버터는 출력 인덕터가 스위칭 주파수의 두배로 동작함에 따라 출력 전류 리플의 저감이 가능하며, 플라잉 캐패시터가 존재하지 않아 상기 한계점의 극복이 가능하다. 그러나 적용 가능한 자기 소자의 구조가 다양하므로 입출력 사양에 적합한 자기구조 선정은 필수적이다. 본 논문에서는 대전류 인터리브드 벅 컨버터의 고효율 및 고전력밀도 달성에 적합한 자기구조에 대하여 분석하고 비교한다. 또한, 분석의 타당성을 모의실험을 통해 검증한다.

1. 서론

최근 AI 기술 발전이 가속화되며 데이터 센터와 같은 대용량 저장 장치가 필수적으로 요구된다. 데이터 센터의 전원 장치는 데이터 센터의 신뢰성과 전력 효율에 직접적인 영향을 미치고 있으며, 특히 클라우드 서비스의 확장과 고화질 스트리밍 서비스의 증가로 인한 데이터 트래픽의 급격한 증가로 데이터 처리를 담당하는 데이터 센터의 소비전력 또한 증가하는 추세에 있다.

대전류 사양에서의 고전력밀도 달성을 위해서는 큰 부피를 차지하는 리액티브 소자의 소형화가 필수적이다. 인터리브드 벅 컨버터는 출력 전류가 스위칭 주파수의 2배가 되어 종래 벅 컨버터에 비해 출력 전류 리플이 저감되고 리액티브 소자의 소형화에 유리하다[1][2]. 그림 1의 인터리브드 벅 컨버터에 적용 가능한 인덕터 구조는 다음과 같다.

Case 1: 2-single Inductor, 그림 2(a)
Case 2: DM Coupled Inductor + Single Inductor, 그림 2(b)
Case 3: Integrated Magnetics DM Coupled Inductor, 그림 2(c)

Case 1의 경우 각 Phase에 독립된 Single Inductor를 적용한 구조로 총 2개의 자성체를 사용하게 되며 각 인덕터의 인덕턴스에 의해 출력 전류의 리플이 결정된다.

Case 2의 경우 Case 1의 2-single Inductor를 턴 비가 1:1인 DM Coupled Inductor와 별도의 Single Inductor를 활용하여 구현한 것이다. DM Coupled Inductor로 인해 Single Inductor의 앞쪽 노드에 입력 전압의 절반이 인가된다. 따라서 Case 1에 비해 출력 전류 리플이 1/2로 저감되어 동일 출력 전류 리플에서 인덕턴스를 1/2 작게 설계할 수 있다.

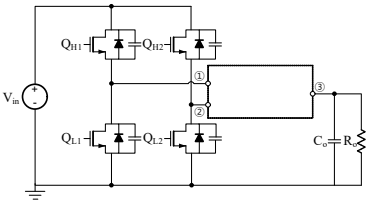

그림 1 2상 인터리브드 벅 컨버터
Fig. 1 2-phase interleaved buck converter

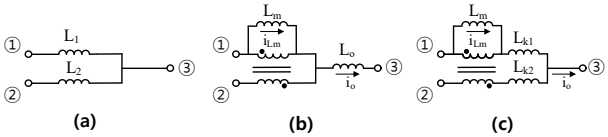

그림 2 (a) Case 1, 2-single Inductor 인덕턴스 모델
(b) Case 2, DM Coupled Inductor + Single Inductor 인덕턴스 모델
(c) Case 3, Integrated Magnetics DM Coupled Inductor 등가 인덕턴스 모델
Fig. 2 (a) Case 1, 2-single Inductor Inductance model
(b) Case 2, DM Coupled Inductor + Single Inductor Inductance model
(c) Case 3, Integrated Magnetics DM Coupled Inductor equivalent Inductance model

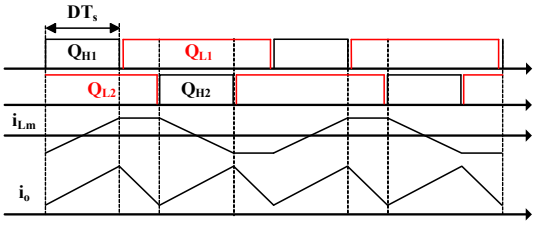

그림 3 Case 2, Case 3 인터리브드 벅 컨버터의 주요 동작 파형
Fig. 3 Case 2, Case 3 main operation waveform of a interleaved buck converter

Case 3의 경우 Case 2의 DM Coupled Inductor와 Single Inductor를 턴 비가 1:1인 Integrated Magnetics(IM) DM Coupled Inductor로 구현한 것으로 자화 인덕턴스(L_m)와 누설 인덕턴스(L_k)의 관계로 출력 전류 리플이 결정된다. IM 구조를 적용 시 자성체 개수를 하나로 줄일 수 있으며, 자화 인덕턴스 및 누설 인덕턴스를 자유롭게 설계 가능하다는 장점이 있다.

본 논문에서는 인터리브드 벅 컨버터의 고효율 및 고전력밀도 달성을 위해 손실 분석을 기반으로 세 가지 인덕터 구조 중 자성체 크기 저감에 유리한 Case 2와 Case 3에 대한 비교를 진행한다.

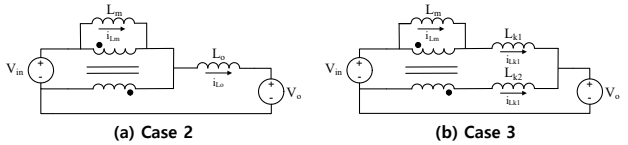

그림 4 Q_{H1} 턴온 시 등가회로
Fig. 4 Equivalent circuit when QH1 turns on

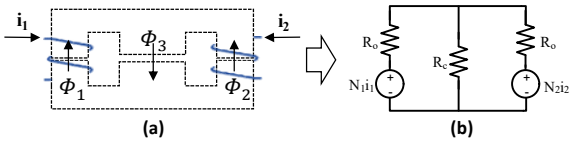

그림 5 Case 3, (a) 자성체 구조 (b) 릴럭턴스 모델
Fig. 5 Case 3, (a) Magnetic structure (b) Reluctance model

2. 인터리브드 벅 컨버터

2.1 인터리브드 벅 컨버터의 동작 원리

2상 인터리브드 벅 컨버터는 그림 3과 같이 Q_{H1} & Q_{L1}과 Q_{H2} & Q_{L2}가 180도 위상 차이를 가지며, 각각 상보적으로 동작한다. 스위치 Q_{H1}과 Q_{H2}의 듀티비($D = V_o/V_{in}$)에 따라 $D < 0.5$ 동작 구간과 $D > 0.5$ 동작 구간으로 구분되며, 본 논문에서는 $D < 0.5$ 동작 구간에 대해서만 제시하도록 한다.

2.2 인덕터 구조에 따른 전류 리플

인덕터 설계에 앞서 각 자성체 구조에 따른 인덕터 전류 리플을 도출할 필요가 있다. 인덕터의 전류 리플은 Q_{H1} 스위치가 on 되어있을 때의 등가 회로를 통해 도출할 수 있으며, Q_{H2} 스위치가 on 되었을 때에도 동일한 전류 리플을 보인다.

Case 2에서 Q_{H1}이 on일 때 등가 회로는 그림 4(a)와 같다. Case 2의 L_m에는 인덕턴스와 관계없이 $V_{in}/2$ 전압이 인가되므로, L_o에는 $V_{in}/2$-V_o의 전압이 인가된다. 따라서 L_m과 L_o의 전류 리플은 각각 식 (1) 및 식 (2)와 같다.

$$\Delta i_{Lm_case2} = \frac{V_{in}}{2L_m} DT_s \tag{1}$$

$$\Delta i_{Lo_case2} = \frac{V_{in}/2 - V_o}{L_o} DT_s \tag{2}$$

Case 3에서 Q_{H1}이 on인 경우 등가 회로는 그림 4(b)와 같다. L_m과 L_k의 관계에 따라 L_k에 전압이 인가되며, L_m과 L_k의 리플은 각각 식 (3)과 식 (4)에 나타내었다. 턴 비가 1:1이므로, $L_k = L_{k1} = L_{k2}$로 표현하였다. 출력 전류는 각 L_k 전류의 합이므로, $L_m >> L_k$일 때 Case 2와 같은 출력 전류 리플에서 Case 2의 L_o보다 약 2배의 L_k를 필요로 한다.

$$\Delta i_{Lm_case3} = \frac{V_{in}}{2L_m + L_k} DT_s \tag{3}$$

$$\Delta i_{Lk_case3} = \frac{V_{in}\left(1 - \frac{L_m}{2L_m + L_k}\right) - V_o}{L_k} DT_s \tag{4}$$

2.3 최대 자속 밀도

자기 소자가 포화 되는 경우 자성체의 성질을 잃어 전류가 급격히 상승하게 된다. 이는 소자들의 소손을 일으킬 수 있어 회로의 신뢰성 보장을 위해 자성체는 최대 자속 밀도를 초과하지 않도록 설계해야 한다. Case 2에서 Coupled Inductor와 Single Inductor의 최대 자속 밀도는 식 (5)와 같다.

$$B_{max} = \frac{L \cdot i_{pk}}{A_e N} \tag{5}$$

Case 3의 구조는 그림 5(a)와 같으며, 이는 릴럭턴스 모델인 그림 5(b)로 표현할 수 있다. 공극의 릴럭턴스에 비해 코어의 릴럭턴스는 매우 작기 때문에 코어의 릴럭턴스는 무시한다. 릴럭턴스 모델을 통해 외족과 중족의 최대 자속 밀도는 각각 식 (6)과 식(7)로 도출할 수 있다.

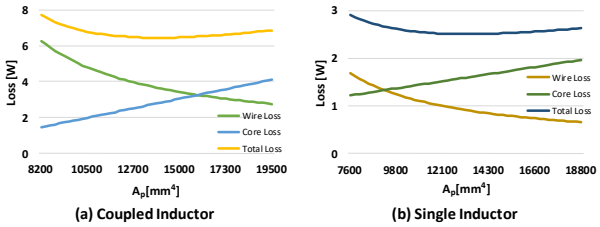

그림 6 Case 2, A_p에 따른 손실
Fig. 6 Case 2, Losses according to A_p

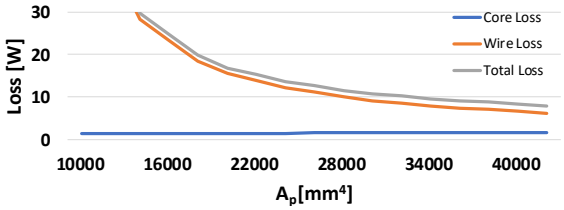

그림 7 Case 3, Ap에 따른 손실
Fig. 7 Case 3, Losses according to A_p

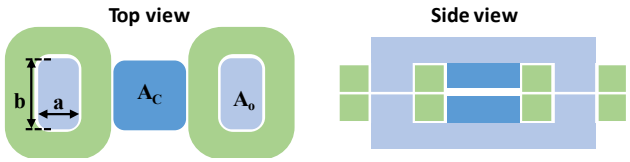

그림 8 Case 3, IM 평면도와 측면도
Fig. 8 Case 3, Top view and side view of the IM

$$B_{o_max} = \frac{\frac{R_o N i_{o_avg}}{R_o^2 + 2R_o R_c} + \frac{V_{in} - V_o}{N_1} DT_s}{2A_o} \tag{6}$$

$$B_{c_max} = \frac{N i_{Lk_peak}}{A_c(2R_c + R_o)} \tag{7}$$

2.4 인덕터 손실 분석 및 설계

인덕터의 손실 분석 및 설계는 입력 전압 48V, 출력 전력 2kW, 출력 전압 12V, 스위칭 주파수 90kHz 조건에서 진행한다. 앞서 도출된 최대 자속 밀도 수식을 통하여 코어의 최소 단면적을 알 수 있으며, Case 3의 코어 단면적에 대한 최대 자속 밀도를 만족하는 공극을 도출할 수 있다. Ferrite 코어의 최대 자속 밀도는 0.2T로 설정하였고, 시스템 높이를 만족시키기 위해 자성체의 높이를 30mm로 제한하였으며, 권선 손실의 저감을 위해 각동선을 적용하였다.

자성체 손실 분석 시 권선의 AC, DC 손실을 고려하였으며, 코어 손실은 스테인메츠 방정식을 통하여 도출하였다.

Case 2의 Coupled Inductor와 Single Inductor의 Area Product (A_p)에 따른 권선 손실과 코어 손실은 Trade-off 관계에 있으며, 각각 그림6(a)와 그림 6(b)에 나타내었다. 권선 손실과 코어 손실의 합이 최소가 되는 지점에서 코어를 설계하였으며, 시스템 방열구조에서 두 자성체의 세로 길이를 같게 설계하는 것이 유리하므로 본 논문에서는 두 자성체의 세로 길이를 같게 설정하였다.

Case 3의 IM 또한 권선 손실과 코어 손실은 Trade-off 관계에 있으나, 코어 손실과 비교하여 권선 손실이 우세하므로 그림 7과 같이 A_p를 확보할수록 손실이 작아지는 경향을 보인다. 그러나 시스템의 사이즈는 제한되어 있으므로 동일한 조건에서의 비교를 위해 IM의 A_p는 Case 2 두 자성체의 A_p 합으로 제한하였으며, 동일한 출력 전류 리플을 갖도록 인덕턴스를 설계하였다. 그림 8의 코어 외족 b/a 비율에 따른 손실분석을 통해 최적점을 도출하였으며, 이는 그림 9에 나타내었다. 상기의 과정을 거쳐 최종 선정된 코어는 표 1과 같다.

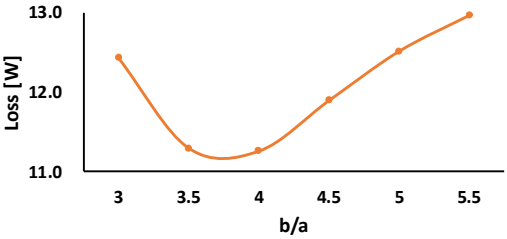

그림 9 Case 3, b/a 비율에 따른 손실
Fig. 9 Case 3, Losses according to b/a ratio

표 1 인덕터 설계 결과
Table 1 Inductor design result

Case 2	
DM Coupled Inductor	Single Inductor
L: 8.5uH Material: TDG33B A_e: 175mm^2 A_w: 80.6mm^2 A_p: 14160mm^4 B_{max}: 0.2T Wire: 5.5 * 5.4mm N: 1turn (Primary, secondary for each)	L: 0.83uH Material: High Flux 60u A_e: 175mm^2 Aw: 80.6mm^2 Ap: 14160mm^4 B_{max}: 0.45T Wire: 5.5 * 5.4mm N: 2turns
Case 3 (IM)	
L_m: 118.79uH, L_{k1} = L_{k2}: 1.68uH Material: TDG33B A_e: 871.5mm^2, A_c: 785mm^2, A_c: 476mm^2 A_w: 31.2mm^2 A_p: 27190mm^4 B_{max_o}: 0.2T, B_{max_c}: 0.2T Wire: 2.8 * 3.0mm N: 2turns (Primary, secondary for each)	

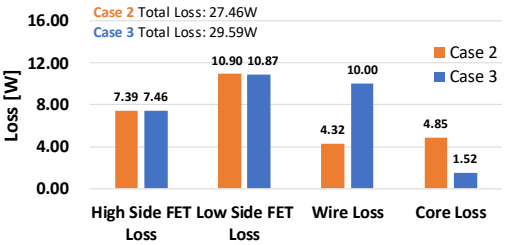

그림 10 인덕터 구조에 따른 주요 소자 손실
Fig. 10 Major component losses according to Inductor structure

그림 10에는 최종 선정된 코어를 적용했을 때 주요 소자의 손실 비교 결과를 나타내었다. High Side FET와 Low Side FET에 각각 NTMFS2D1N08X(3병렬), NTMFWS1D5N08X(3병렬) 소자를 적용하였다.

일반적으로 IM을 적용하는 경우 자성체의 개수를 하나로 줄일 수 있으므로, 사이즈 저감 측면에서 유리하다고 알려져 있다. 그러나 대전류 인터리브드 벅 컨버터에 IM을 적용했을 경우 오프셋이 큰 출력 전류의 절반이 각 Wire에 흐르게 되어 자기 소자의 포화를 방지하기 위해 공극이 필수적이며, 공극에 의해 작아진 인덕턴스를 확보하기 위해 큰 코어 단면적을 필요로 한다. 따라서 사용 가능한 창 면적이 감소하고 권선 손실이 증가한다.

반면, Case 2와 같이 DM Coupled Inductor와 Single Inductor를 분리하여 사용하였을 때 DM Coupled Inductor에는 전류 오프셋이 없다. 따라서 최대 자속 밀도를 만족하면서 공극 없이 Ferrite 코어를 사용할 수 있어 인덕턴스 확보와 코어 사이즈 저감 측면에서 유리하다. 또한, 오프셋이 큰 출력 전류를 감당하는 Single Inductor에 Powder 재질을 적용하여 작은 코어 단면적으로 최대 자속 밀도를 만족할 수 있다.

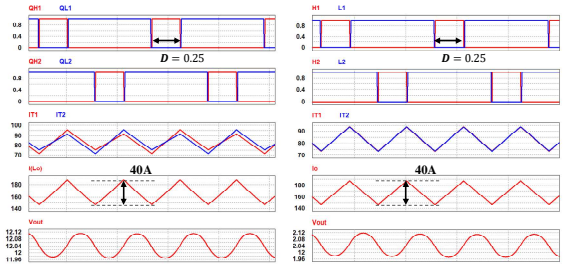

그림 11 모의실험 결과 파형
Fig. 11 Simulation results waveform

결과적으로 Case 3와 비교하여 Case 2에서 약 2W의 손실이 저감되었으며, Case 2에서 권선 손실과 코어 손실의 차이가 적어 발열 균형에 유리하다. 또한, 최외각 부피는 Case 3 구조를 적용했을 때보다 Case 2를 적용했을 때 약 15% 저감 할 수 있다. 따라서 대전류 애플리케이션에서 고효율 및 고전력밀도를 달성하기 위해 Case 2 구조를 적용하는 것이 유리함을 알 수 있다.

3. 모의실험 결과

본 논문에서 설계한 자기 소자의 타당성을 검증하기 위해 2kW급 2상 인터리브드 벅 컨버터의 모의실험을 진행하였다. 상기 인덕터 손실 분석 및 설계 조건에서 모의실험을 진행하였으며, Case 2와 Case 3 두 자기구조에 대하여 각각 진행하였다. 그림 11은 모의실험 결과 주요파형을 나타내며, Gate 동작 파형, Coupled Inductor의 각 leg 전류, 출력 전류, 출력 전압을 보인다. 각 Case 별 자기구조를 적용하였을 때 동작을 확인할 수 있으며, 설계와 같이 두 자기구조의 출력 전류 리플은 동일함을 확인할 수 있다.

4. 결론

본 논문에서는 대전류 애플리케이션에서의 2상 인터리브드 벅 컨버터의 고효율 및 고전력밀도 달성을 위한 인덕터 구조에 대해 비교분석을 진행하였다. 각 자기구조의 손실 분석 및 비교를 진행하였으며, 모의실험을 통해 회로의 타당성을 검증하였다. Case 3와 Case 2를 비교한 결과, Case 2에서 약 2W의 손실 저감이 가능하며, 권선 손실과 코어 손실의 차이가 적어 발열 균형에 유리하다. 또한, Case 3와 비교하여 Case 2에서 자성체 최외각 부피를 약 15%를 저감할 수 있다. 따라서 대전류 인터리브드 벅 컨버터에서 DM Coupled Inductor와 별도의 Single Inductor를 적용한 인덕터 구조가 고효율 및 고전력밀도 달성에 유리하다.

이 논문은 2021년도 정부(산업통상자원부)의 재원으로 한국에너지기술평가원의 지원(20212020800020, 통합형 최적 설계 플랫폼 기반 초고효율 전력변환시스템 개발)을 받아 수행된 연구임

참 고 문 헌

[1] J.-P. Lee, H. Cha, D. Shin, K.-J. Lee, D.-W. Yoo, and J.-Y. Yoo, “Analysis and Design of Coupled Inductors for Two-Phase Interleaved DC-DC Converters,” Journal of Power Electronics, vol. 13, no. 3. The Korean Institute of Power Electronics, pp. 339-348, 20-May-2013.

[2] M. Fu, C. Fei, Y. Yang, Q. Li and F. C. Lee, "Optimal Design of Planar Magnetic Components for a Two-Stage GaN-Based DC - DC Converter," in IEEE Transactions on Power Electronics, vol. 34, no. 4, pp. 3329-3338, April 2019.