

빠른 반도체 공정을 위한 전자식 가변 커패시터 회로

김홍민, 황청현, 최희원, 서용석, 임천용
 전북대학교 전기공학과

An Electrical Variable Capacitor Circuit For Fast Semiconductor Process

Hongmin Kim, CheongHyeon Hwang, Heewon Choi, Yongsug Suh, Cheon-Yong Lim
 Department of Electrical Engineering, Jeonbuk National University, Korea

ABSTRACT

본 논문은 기존 전자식 가변 커패시터 (Electrical Variable Capacitor, EVC) 회로의 단점인 큰 필터 인덕터 사용으로 인한 느린 커패시턴스 가변 속도를 개선함으로써 빠른 커패시턴스 가변 속도를 갖는 새로운 EVC 회로를 제안한다. 제안하는 EVC 회로는 기존 EVC 회로에서 가변 커패시터 C_{var} 와 스위칭 다이오드 DSW 의 위치를 서로 바꾸고 병렬 인덕터 L_S 를 추가한 구조이다. RF 전원 주파수 27.12 MHz, RF 전력 100 W 에서의 실험을 통해 제안하는 EVC 회로의 성능을 검증하였다.

1. 서론

최근 인공 지능, 자율 주행, 클라우드 서버 등과 같은 응용 분야로 인해 고성능 반도체에 대한 관심이 높아지고 있다. 양질의 반도체를 제작하기 위해서 필요한 증착, 식각 등과 같은 공정에는 RF 플라즈마가 활용된다.

그림 1 은 RF 플라즈마 시스템의 블록도이다. RF 플라즈마 시스템은 RF 전력 발생기, 임피던스 조정 회로, 그리고 플라즈마 챔버로 구성된다. 이 때 RF 전력 발생기에서 플라즈마 챔버로의 전력 전송 효율을 최대화하기 위해서는 RF 전력 발생기의 내부 저항 R_{in} 과 RF 전력 발생기에서 플라즈마 챔버 측을 바라볼 때의 유효 임피던스 Z_{eq} 가 동일해야 한다. RF 플라즈마 환경이 조성되어 있는 챔버 안에서는 사용되는 가스의 종류가 바뀌거나 공정이 바뀌에 따라 부하 값이 변경되기 때문에 RF 전력 발생기와 챔버 사이에 임피던스 조정 회로가 필수적으로 요구된다^{[1]~[3]}.

임피던스 조정 회로에 사용되는 가변 커패시터 방식은 진공 가변 커패시터 (Vacuum Variable Capacitor, VVC) 방식과 전자식 가변 커패시터 (Electrical Variable Capacitor, EVC) 방식으로 분류된다. VVC 는 커패시터의 두 전극 사이의 거리를 기계적으로 조절하여 커패시턴스 값을 변화시키기 때문에 커패시턴스 가변 속도가 느려서 임피던스 조정 속도가 느려진다는 한계가 있다. 임피던스 조정이 느려지면 반도체 공정이 지연되고, 결과적으로 반도체 수율이 낮아지게 된다. 따라서 최근에는 빠른 커패시턴스 가변 속도를 가지는 EVC 회로에 대한 관심이 높아지고 있다.

2. 기존 EVC 회로 설명

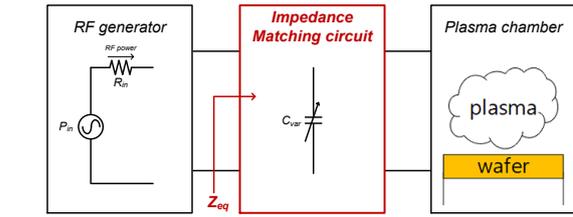


그림 1. RF 플라즈마 시스템의 블록도

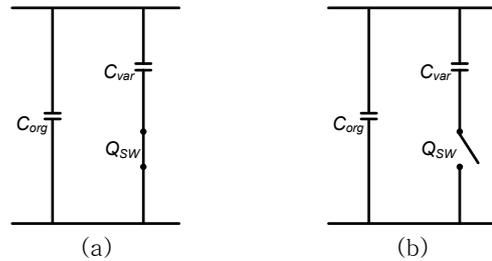


그림 2. EVC 회로의 기본 동작 컨셉. (a) Q_{SW} 이 켜졌을 때. (b) Q_{SW} 이 꺼졌을 때.

2.1 기본 동작 설명

EVC 회로는 스위치의 스위칭 동작에 따라 유효 커패시턴스 C_{eff} 를 변경한다. 그림 2 는 EVC 회로의 일반적인 동작 원리를 보여준다. 그림 2(a)에서 볼 수 있듯이, 스위치 Q_{SW} 가 켜지면 가변 커패시터 C_{var} 가 병렬 커패시터 C_{org} 와 병렬로 연결되어 C_{eff} 는 $C_{org} + C_{var}$ 가 된다. 반면에, 그림 2(b)에서 볼 수 있듯이, Q_{SW} 가 꺼지면 C_{var} 는 회로에서 보이지 않게 되고, C_{org} 만 회로에 연결되어 C_{eff} 는 C_{org} 가 된다. 그러나 실제로는 Q_{SW} 가 꺼질 때, 완전한 개방 스위치로 동작하는 대신 스위치의 기생 커패시터 C_{oss} 가 회로에 보이게 된다. 결과적으로 Q_{SW} 가 꺼졌을 때 C_{org} 와 병렬로 C_{var} 와 C_{oss} 의 직렬 커패시턴스가 회로에 보이게 된다. 그러므로 Q_{SW} 가 꺼졌을 때 회로에서 C_{var} 을 완전히 보이지 않게 하려면, C_{oss} 가 매우 작아야 한다. 따라서 매우 작은 접합 커패시턴스 (약 3~4 pF) 를 가진 PiN 다이오드가 주로 EVC 회로의 스위치로 사용된다.

그림 3 은 가장 대표적인 EVC 회로^[4]의 스위칭 상태에 따른 정상상태에서의 등가 회로도들을 나타낸 것이다. EVC 회로는 스위치 Q_1 과 Q_2 중 어느 스위치를 켜느냐에 따라 C_{eff} 를 변화시킬 수 있다. 한 편, 필터 인덕터 L_f 는 RF 전력이 스위치 채널에 흐르지 않게 필터링 해주는 역할을 한다.

그림 3(a) 는 Q_1 이 켜졌을 때를 나타낸 등가 회로도이며, 스위칭 다이오드 DSW 가 도통 상태에 있게된다. C_{eff} 는 C_{org} 와 C_{var} 의 합인 $C_{org} + C_{var}$ 이 된다.

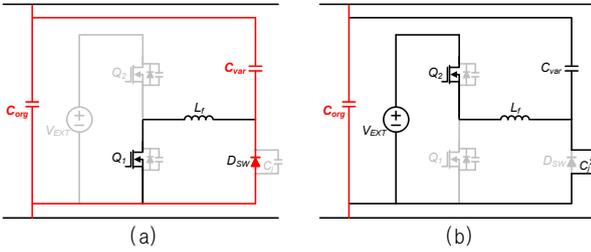


그림 3. 기존 EVC 회로의 스위칭 상태에 따른 등가 회로도. (a) Q_1 이 켜졌을 때. (b) Q_2 가 켜졌을 때.

그림 3(b)는 Q_2 가 켜졌을 때를 나타낸 등가 회로도이며, D_{SW} 가 꺼져서 D_{SW} 의 접합 커패시터 C_j (3~4 pF)가 보인다. 이 때 L_f 의 임피던스 Z_{L_f} 가 C_j 의 임피던스 Z_{C_j} 보다 훨씬 크다고 가정하면, C_{eff} 는 $C_{org} + \{(C_{var} \times C_j) / (C_{var} + C_j)\}$ 가 된다. 이 때 C_j 는 C_{org} 와 C_{var} 보다 훨씬 작기 때문에 C_{eff} 는 C_{org} 가 된다.

2.2 기존 EVC 회로의 문제점

EVC 회로가 의도대로 동작하기 위해서는 앞 절에서 가정하였던 것처럼 Z_{L_f} 가 Z_{C_j} 보다 훨씬 커야 한다. 하지만 이 경우, L_f 가 매우 커짐으로써 시스템의 부피가 커지고, 커패시턴스 가변 속도가 느려진다는 문제점을 갖는다.

3. 제안하는 EVC 회로

3.1 기본 동작 설명

그림 4는 제안하는 EVC 회로의 스위칭 상태에 따른 정상상태에서의 등가 회로도이다. 제안하는 EVC 회로는 기존 EVC 회로로부터 C_{var} 와 D_{SW} 의 위치를 서로 바꾸고 병렬 인덕터 L_s 를 추가한 구조이다.

기존 EVC 회로와 마찬가지로 그림 4(a)와 같이 Q_1 이 켜지면 D_{SW} 가 켜져서 C_{eff} 는 $C_{org} + C_{var}$ 이 되고, 그림 4(b)와 같이 Q_2 가 켜지면 D_{SW} 가 꺼져서 C_{eff} 는 C_{org} 이 된다.

3.2 제안하는 EVC 회로의 장점

제안하는 EVC 회로는 D_{SW} 가 꺼졌을 때 L_f 와 C_{var} 이 병렬로 보이게 된다. 따라서 2.1 절에서 언급했듯이, C_{eff} 값에 L_f 가 영향을 주지 않기 위해서는 Z_{L_f} 가 C_{var} 의 임피던스 $Z_{C_{var}}$ 보다 훨씬 커야 한다. 기존 EVC 회로에서 필요했던 조건은 $Z_{L_f} \gg Z_{C_j}$ 였던 반면, 제안하는 EVC 회로에서는 $Z_{L_f} \gg Z_{C_{var}}$ 인 것이다. $Z_{C_{var}}$ 는 Z_{C_j} 보다 훨씬 작기 때문에 제안하는 EVC 회로에서 요구되는 Z_{L_f} 는 훨씬 작아질 수 있다. 즉, 기존 EVC 회로에 비해 훨씬 작은 L_f 를 사용할 수 있고, 이로 인해 빠른 커패시턴스 가변 속도를 가질 수 있고, 시스템의 부피를 절감할 수 있다.

한편, 실제 EVC 회로를 사용하는 임피던스 조정 시스템에서는 가변 가능한 커패시턴스 값 범위를 넓히기 위해 그림 5와 같이 EVC 회로가 multi-leg 구조로 활용된다. 그림 5에서 볼 수 있듯, 사용되는 EVC 회로의 수 만큼 L_f 가 필요한 반면, L_s 는 사용되는 EVC 회로의 수에 관계 없이 하나만 사용하여도 공유가 가능하다. 결과적으로, 제안하는 EVC 회로는 기존 EVC 회로보다 훨씬 더 작은 L_f 를 사용할 수 있기 때문에 multi-leg 구조에서 제안하는 EVC 회로의 부피 절감 효과는 더욱 커진다. 또한, 실제 동작에서는 Q_i 이 켜져서 D_{SW} 가 도통될 때 Q_i 과 D_{SW} 에서 순방향 전압강하가 발생한다. 이 순방향 전압강하로 인해 D_{SW} 를 켜지도록 하는 DC 바이어스 전류 I_{Bias} 가 감소하여 D_{SW} 가 일정 구간동안 꺼

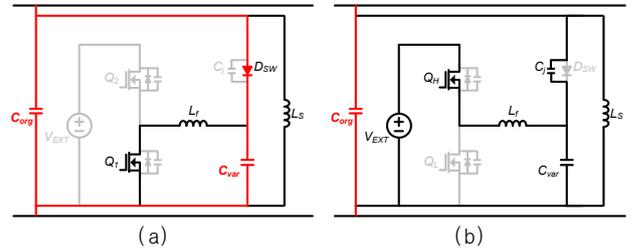


그림 4. 제안하는 EVC 회로의 스위칭 상태에 따른 등가 회로도. (a) Q_1 이 켜졌을 때. (b) Q_2 가 켜졌을 때.

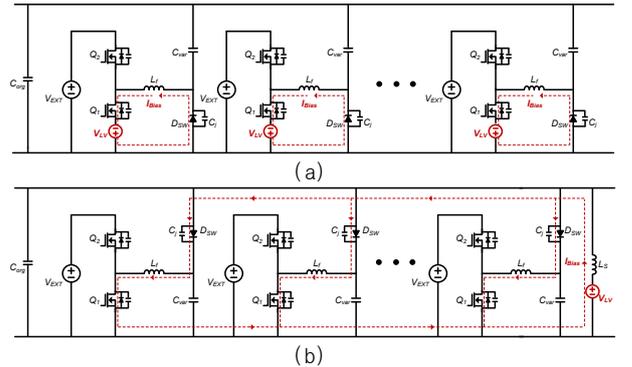


그림 5. EVC 회로의 multi-leg 구성도. (a) 기존 EVC 회로. (b) 제안하는 EVC 회로.

질 수 있다. 이를 방지하기 위해 I_{Bias} 경로에 순방향 전압강하를 보상하기 위한 저전압 전원 V_{LV} 가 사용된다. L_f 의 경우와 마찬가지로, 기존 EVC 회로는 사용되는 EVC 회로의 수 만큼 V_{LV} 가 필요한 반면, 제안하는 EVC 회로는 사용되는 EVC 회로의 수에 관계 없이 L_s 쪽에 1개의 V_{LV} 만 사용하여도 공유가 가능하다. 따라서, 제안하는 EVC 회로의 장점은 사용되는 EVC 회로의 수가 많아질수록 더 효과적이다.

4. 실험 결과

제안하는 EVC 회로의 유효성을 확인하기 위해 RF 전원 주파수 27.12 MHz에서 single-leg 구조와 multi-leg 구조에서 각각 실험을 진행하였다. Single-leg 구조 실험 결과는 그림 6~그림 8에 나타나 있으며, 실험 조건 및 사용한 소자 값은 표 1에 나열되어 있다. 이 때, L_{L_s} 값 설계는 기존 EVC 회로는 $Z_{L_{L_s}}$ 가 Z_{C_j} 보다 약 10 배 더 크도록 90 μH 로 설계되었고, 제안하는 EVC 회로는 $Z_{L_{L_s}}$ 가 $Z_{C_{var,s}}$ 보다 약 10 배 더 크도록 7.5 μH 로 설계되었다. Multi-leg 구조 실험 결과는 그림 9에 나타나 있으며, 실험 조건 및 사용한 소자 값은 표 2에 나열되어 있다. 이 때의 L_{L_m} 값 설계는 $Z_{L_{L_m}}$ 가 $Z_{C_{var,m}}$ 보다 약 10 배 더 크도록 15 μH 로 설계되었다.

그림 6은 정상 상태에서의 제안하는 EVC 회로의 동작을 보여준다. 그림 6(a)에서 볼 수 있듯, Q_1 이 켜졌을 때 D_{SW} 에 흐르는 전류 $i_{D_{SW}}$ 가 0보다 커서 D_{SW} 가 도통되는 것을 확인할 수 있다. 반면, 그림 6(b)에서 볼 수 있듯, Q_2 가 켜졌을 때 D_{SW} 에 인가되는 역전압 $v_{D_{SW}}$ 가 0보다 커서 D_{SW} 가 꺼지는 것을 확인할 수 있다. 결과적으로 실험을 통해, 제안하는 EVC 회로의 스위칭 동작에 따라 D_{SW} 를 켜거나 끌 수 있음을 확인하였다.

그림 7과 그림 8은 각각 기존 EVC 회로와 제안하는 EVC 회로간의 커패시턴스 가변 시간을 비교한 결과이다. 커패시턴스 가변 시간 T_c 는 각 스위치가 켜진 시점부터 RF 전력 발생기 출력단에 설치된 Directional Coupler로 측정된 반사 전압

표 1. Single-leg 구조 실험 사양 및 사용한 소자 값

Parameters	기존 EVC 회로	제안하는 EVC 회로
Source power $P_{in,s}$		100 W
Variable capacitor $C_{var,s}$		48 pF
Junction capacitor C_j		4 pF
Filter inductor $L_{f,s}$	90 μ H	7.5 μ H
Shunt inductor L_s	—	7.5 μ H

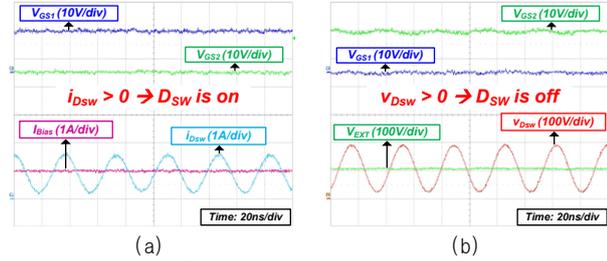


그림 6. 정상 상태에서의 제안하는 EVC 회로의 동작. (a) Q_1 이 켜졌을 때. (b) Q_2 가 켜졌을 때.

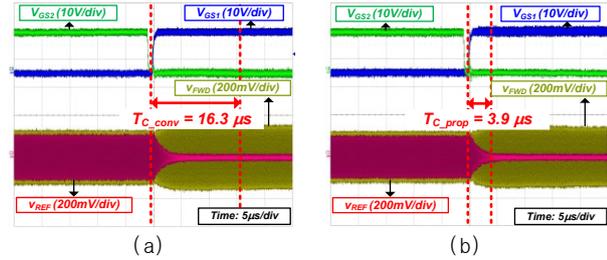


그림 7. EVC 회로에 따른 커패시턴스 가변 시간 비교 (off \rightarrow on). (a) 기존 EVC 회로. (b) 제안하는 EVC 회로.

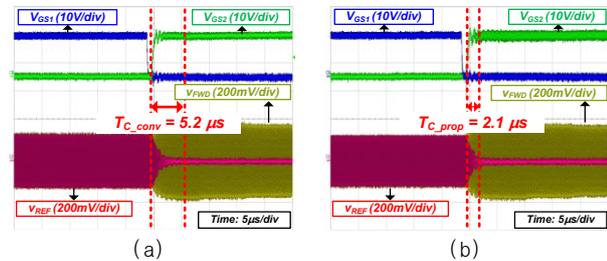


그림 8. EVC 회로에 따른 커패시턴스 가변 시간 비교 (on \rightarrow off). (a) 기존 EVC 회로. (b) 제안하는 EVC 회로.

V_{REF} 가 순방향 전압 V_{FWD} 의 정상 상태 값의 10% 이내에 도달하는 데 걸리는 시간이다. 그림 7 과 그림 8 에서 볼 수 있듯, 제안하는 EVC 회로는 훨씬 더 작은 L_f 를 사용할 수 있기 때문에 기존 EVC 회로에 비해 빠른 커패시턴스 가변 속도를 갖는 것을 보여준다.

그림 9 는 제안하는 EVC 회로 2개를 병렬로 연결하고 L_s 는 1개만 사용하였을 때의 동작을 보여준다. 그림 9(a) 는 L_s 에 흐르는 전류 I_{L_s} 와 제안하는 EVC 회로 2개의 각각의 DC 바이어스 전류 I_{Bias1} 과 I_{Bias2} 를 보여준다. 그림 9(a)에서 볼 수 있듯, I_{L_s} 가 I_{Bias1} 과 I_{Bias2} 로 균등하게 분배되는 것을 확인할 수 있다. 또한, 그림 9(b) 는 제안하는 EVC 회로 2개의 각각의 D_{SW} 에 흐르는 전류 i_{Dsw1} 과 i_{Dsw2} 를 보여준다. 그림 9(b) 에서 볼 수 있듯, I_{Bias1} 과 I_{Bias2} 가 서로 동일한 것처럼, i_{Dsw1} 과 i_{Dsw2} 가 서로 동일한 값을 가지는 것을 확인할 수 있다. 결과적으로, 여러 개의 제안하는 EVC 회로를 multi-leg 구조로 사용할 때 하나의 L_s 만으로도 공유하여 사용이 가능함을 확인할 수 있다. 따라서, 제안하는 EVC 회로를 사용하면 시스템의 부피를 절감할 수 있다.

표 2. 제안하는 EVC 회로 multi-leg 구조 실험 사양 및 사용한 소자 값

Parameters	Value
Source power $P_{in,m}$	50 W
Variable capacitor $C_{var,m}$	24 pF
Junction capacitor C_j	4 pF
Filter inductor $L_{f,m}$	15 μ H
Shunt inductor L_s	7.5 μ H

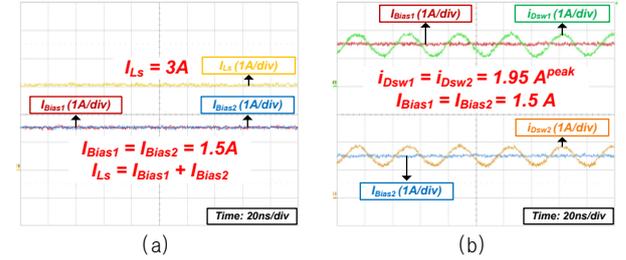


그림 9. Multi-leg 구조에서의 제안하는 EVC 회로의 동작. (a) I_{Bias} 분배. (b) i_{Dsw} 분배.

5. 결론

본 논문에서는 빠른 커패시턴스 가변 속도를 갖는 새로운 EVC 회로를 제안한다. 제안하는 EVC 회로는 기존 EVC 회로와 비교하여 훨씬 더 작은 L_f 를 사용하여 더 빠른 커패시턴스 가변 속도를 가지며 시스템의 부피를 절감할 수 있다. 제안하는 EVC 회로의 장점은 사용되는 EVC 회로의 수가 많을수록 더욱 효과적이며, 반도체 제조 공정에 적용하여 반도체 수율의 향상과 부피 절감의 효과를 가져올 수 있다.

이 논문은 2024년도 산업통상자원부 및 산업기술평가관리원 (KEIT) 연구비 지원에 의한 연구임(과제 번호 20018945).

본 과제(결과물)는 2024년도 교육부의 재원으로 한국연구재단의 지원을 받아 수행된 지자체-대학 협력기반 지역혁신 사업의 결과입니다.(2023RIS-008)

참고 문헌

- [1] A. Mohan and S. Mondal, "An impedance matching strategy for microscale RF energy harvesting systems", IEEE Trans. Circuit Syst. II, Exp.Briefs. vol. 68. 1458–1462, 2021, April.
- [2] G. C. Martins, and W. A. Serdijn, "Multistage complex-impedance matching network analysis and optimization", IEEE Trans. Circuits Syst. II, Exp.Briefs. vol. 63. 833–837, 2016, September.
- [3] S. Shen, and R. D. Murch, "Impedance matching for compact multiple antenna systems in random RF fields", IEEE Trans. Antennas Propag. vol. 64. 820–825, 2016, February.
- [4] R. A. Decker and I. A. Bhutta, "Power control for RF impedance matching network", U.S. Patent 18 120 591, 2023, March.