

FPGA-based MMC-STATCOM 제어기 검증을 위한 RTDS 기반의 Hardware-in-the-Loop Simulation 환경 구성 방안

표수한, 이상중, 박영주, 강대욱, 신동설
한국전기연구원

RTDS-based Hardware-in-the-Loop Simulation Environment Configuration to Verify FPGA-based MMC-STATCOM Controller

Su-Han Pyo, Sang-Jung Lee, Young-Ju Park, Dea-Wook Kang, Dong-Sul Shin
Korea Electrotechnology Research Institute

ABSTRACT

최근 다양한 신재생 에너지원의 유연한 전력시스템 연계를 위해 Modular multi-level converter (MMC) 역할이 중요해질 것으로 전망되어, 이에 대한 연구 개발이 활발히 진행되고 있다. MMC는 다수의 서브 모듈이 직렬로 연결되는 구조를 갖기 때문에, 계통에서 요구하는 전력 제어뿐만 아니라, 안정적인 시스템 운영을 위해 매 제어 주기마다 다수의 서브 모듈의 전압을 측정하여 서브 모듈 전압 밸런싱이 동시에 수행되어야 한다. 따라서 고속 연산이 가능한 Field-Programmable Gate Array (FPGA) 기반의 제어기 설계가 필수적이다. 하지만 FPGA는 복잡한 논리회로 설계를 요구하므로, 개발 초기 단계에 설계 오류를 검출하는 것이 매우 중요하다. 프로토타입으로 개발된 제어 장치를 실제 환경에서 검증하기에는 비용과 시간적으로 다소 무리가 있으므로, Hardware-in-the-Loop Simulation (HILS) 기술이 필수적이다. 따라서 본 논문에서는 프로토타입의 제어기 검증을 위한 Real-Time Digital Simulator (RTDS) 기반의 1 [MW]급 단상 MMC Static Synchronous Compensator (STATCOM) 모델 구성 및 FPGA 기반의 MMC-STATCOM 제어기 HILS 환경 구성 방안을 제안한다.

1. 서 론

Modular multi-level converter (MMC)는 다수의 서브 모듈이 직렬로 연결된 구조를 갖기 때문에 높은 전압 및 정격 용량, 모듈러 설계로 인한 신뢰성 및 유연성 그리고 전력 품질을 향상시킬 수 있는 장점을 갖는다. 따라서 MMC 토폴로지는 전력망에서 요구하는 다양한 조건을 충족시킬 수 있어, 고전압 직류(HVDC) 전송 시스템에서 널리 사용되고 있다^[1-3]. 하지만 MMC 토폴로지에서 시스템 안정성을 확보하기 위하여, 다수의 서브 모듈의 전압을 일정 범위로 제어되어야 한다. 따라서 Sorting 및 Nearest Level Control (NLC)을 기반으로 한 서브 모듈 밸런싱 알고리즘이 필수적이다^[4]. MMC의 서브 모듈 개수가 많아질수록 연산량은 기하급수적으로 증가하며, 실시간 데이터 처리를 바탕으로 복잡한 제어가 요구되므로, 고성능의 Field-Programmable Gate Array (FPGA) 기반 제어기가 필요하다. FPGA는 병렬 처리 능력이 뛰어나 여러 서브 모듈을 효율적으로 관리하고, 빠른 응답성과 높은 정확성을 제공할 수 있다. 이를 통해 시스템의 안정성과 성능을 향상시킬 수 있다.

하지만 FPGA 기반 MMC 제어기는 고속 통신 및 제어 알고리즘의 병렬 연산을 위해 복잡한 논리회로 설계가 요구된다. 따라서 개발 비용 및 시간 절감을 위하여 설계 단계에서 초기 오류를 검출하는 것이 매우 중요하며, 이를 위해 C-HILS 기술이 필수적이다^[5]. 본 논문에서 Real-Time Digital Simulator (RTDS) 기반의 1MW급 단상 MMC Static Synchronous Compensator (STATCOM) 모델 구성을 바탕으로 FPGA 기반의 MMC-STATCOM 제어기를 검증할 수 있는 C-HILS 환경 구성 방안에 대하여 제안한다. 제안한 C-HILS 환경에서 프로토타입으로 설계된 FPGA 기반의 MMC-STATCOM 제어기의 성능 및 제어 알고리즘의 유효성을 검증하고자 한다.

2. 본 론

STATCOM은 계통의 전압 안정도 개선을 목적으로 무효전력을 보상하는 설비이다. 기존의 전력계통에서는 STATCOM의 역할이 크지 않았으나, 신재생 에너지원의 많은 접속으로 인해 배전계통의 전압 안정도가 저하되어 STATCOM의 수요가 늘어나고 있고, 필요한 용량이 증대되어 STATCOM에 대한 많은 연구가 이루어지고 있다. 제안된 MMC-STATCOM은 Single-Delta Bridge Cell (SDBC) 구조로 설계되었으며, 상마다 14개의 Sub-module (SM)로 구성되어 총 42개의 SM을 가진다. 전압 제어를 통해 변압기 2차 측에 6.6[kV]가 출력되며, 변압기를 통해 22.9[kV]로 승압되어 계통에 접속된다.

HILS 환경에 사용된 MMC-STATCOM 모델은 단상으로 구성되어 FPGA 기반 제어기 검증을 수행하였다.

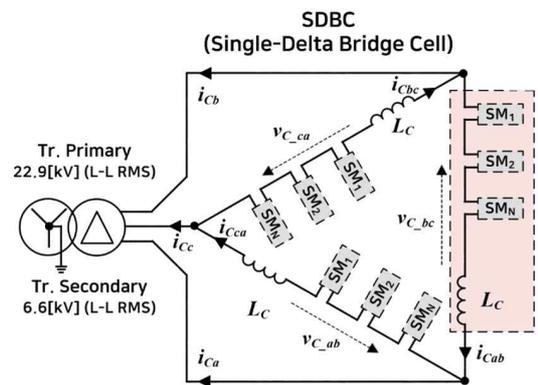


그림 1 MMC-STATCOM 시스템 구조
Fig. 1 MMC-STATCOM System Configuration

2.1 FPGA 기반 제어기 검증 HILS 환경 구성

제어기 검증을 위해서는 실시간 시뮬레이션 환경 구축이 필요하며, 그에 따른 전력계통 모델, FPGA 기반 MMC 모델, 통신환경 구성이 필요하다. 그림 2는 MMC-STATCOM 제어기 검증을 위한 HILS 구성을 나타내고 있다.

RTDS와 MMC Support Unit (MSU)를 이용하여 실시간 시뮬레이션 장비로 RSCAD를 통한 전력계통 및 MMC 모델링이 가능하다. MMC Controller는 ADC, SM Controller (SC), Valve Controller (VC)로 구성되어 있으며, ADC 데이터를 통해 연산된 제어기 결과값인 PWM 신호를 MSU로 전달한다.

그림 3은 FPGA 기반 MMC-STATCOM 제어기 검증 HILS 내부 구성을 나타낸 것이다.

2.2.1 전력계통 모델링

전력계통 모델은 RSCAD의 Small time-step 모델을 통해 구성되었으며, 실시간 시뮬레이션을 위한 연산은 PB5 카드에서 이루어진다. PB5 카드는 2개의 Freescale MC7448 RISC Processor 구성으로 구성되어 있어 2개의 코어로 나누어 사용 가능하다.

2.2.2 MMC 모델링

MMC 모델은 RSCAD의 U5 모델을 통해 구성되었다. U5 모델의 경우 3상 레그 구성이 가능하며, SM Capacitor 개별 제어 가능한 특징을 가지고 있다. U5 모델은 MSU의 FPGA 기반 보드에서 연산되어 연산 결과값이 PB5로 전달된다. U5 모델을 통해 MMC를 설계할 경우 512개의 SM을 지원하며, Aurora 프로토콜을 통해 Firing Pulse 전달이 가능하다. GENERIC POWER ELECTRONICS SOLVER (GPES)를 이용 시 250ns Time step 연산이 가능하다.

2.2.3 통신 및 HILS 인터페이스 구성

전력계통 모델 및 MMC 모델을 이용한 MMC 제어기 검증을 위해서는 통신환경 및 HILS 인터페이스 구성이 필요하다. 제안된 HILS 환경 구성에서 사용되는 Signal 타입은 총 4가지이다.

1. Electrical Signal
2. Optical Signal
3. Digital Signal
4. SPF Signal

Electrical Signal의 경우 PB5에서 연산된 결과값을 GTA0로 전달 및 GTA0 출력값을 V/F 보드로 전달하는데 사용된다. Optical Signal은 V/F 보드와 MMC Controller ADC 절연 및 통신을 위해 사용되었으며, Digital Signal은 MMC Controller 내부 통신을 위해 사용되었다. SPF Signal은 MMC Controller와 MSU 사이의 양방향 통신을 위해 사용되었다. MSU에서 SC로 데이터 전송 시 Branch 전압, 전류, 밸브 전압, SM Capacitor 전압이 전송되며, VC의 SM PWM 신호는 MSU로 전달된다.

제안된 HILS 환경에서는 2가지 FPGA 모델이 사용되고 있다. 첫 번째는 다수의 스위치로 구성된 디테일 모델 연산을 위한 FPGA 기반 U5 모델이고, 두 번째는 SM 수가 증가함에 따라 복잡해진 Sorting 알고리즘과, Modulation 알고리즘의 구현을 위한 병렬연산 FPGA 기반 VC가 사용되고 있다.

표 1 MMC-STATCOM 시스템 파라미터

Table 1 Parameters of MMC-STATCOM System

Parameters	Value
Rated Power	Q = 0.5 [Mvar]
Pri. & Sec. Voltage	22.9 [kV] / 6.6 [kV]
SM Voltage	900 [V]
SM Capacitance	2100 [uF]
Arm Inductance	30 [mH]
Number of SMs	14 [EA]

RTDS & MMC Support Unit Monitoring Scope



그림 2 FPGA 기반 MMC-STATCOM HILS 구성

Fig. 2 FPGA-based MMC-STATCOM HILS Configuration

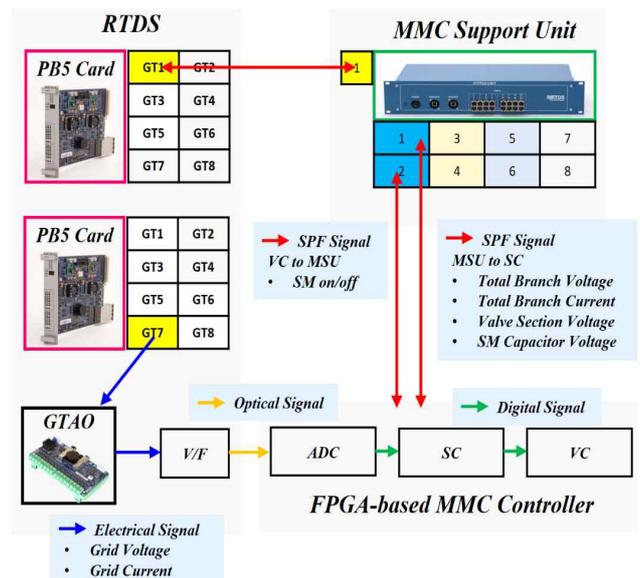


그림 3 FPGA 기반 MMC-STATCOM HILS 내부 구성

Fig. 3 FPGA-based MMC-STATCOM HILS Internal Configuration

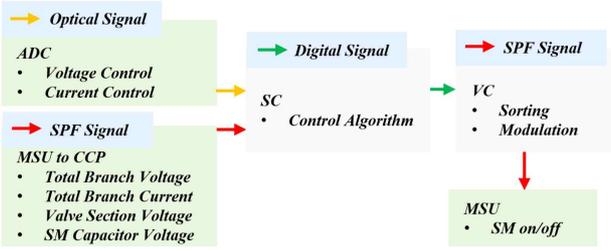


그림 4 FPGA 기반 MMC-STATCOM HILS 내부 구성
Fig. 4 FPGA-based MMC-STATCOM HILS Internal Configuration

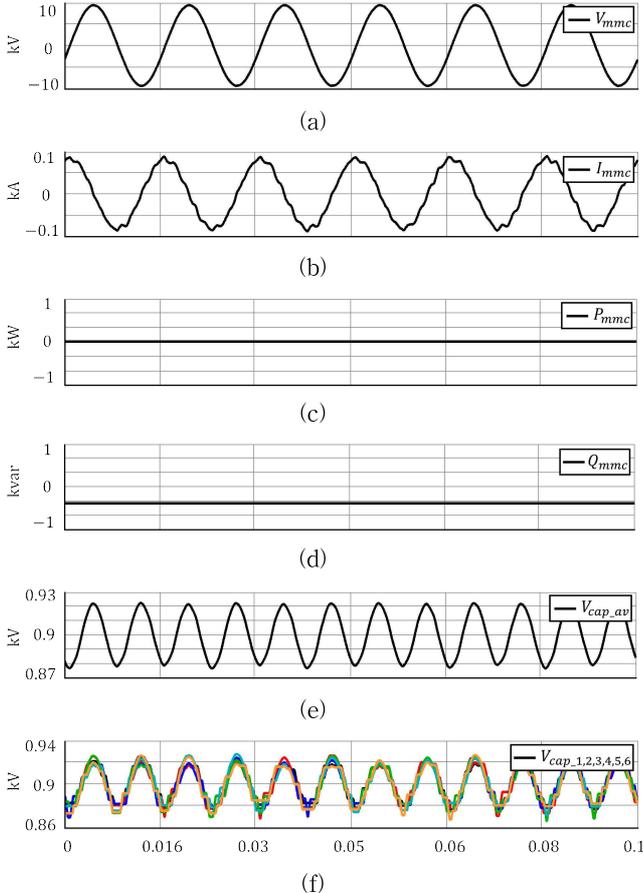


그림 5 MMC-STATCOM 실시간 시뮬레이션 결과 (a) MMC 출력 전압, (b) MMC 출력 전류, (c) MMC 출력 유효전력, (d) MMC 출력 무효전력, (e) SM Capacitor 평균 전압, (f) SM 1,2,3,4,5,6 Capacitor 전압
Fig. 5 MMC-STATCOM Real-Time Simulation Results (a) MMC Output Voltage, (b) MMC Output Current, (c) MMC Output Active Power, (d) MMC Output Reactive Power, (e) SM Capacitor Average Voltage, (f) SM 1,2,3,4,5,6 Capacitor Voltages

3. 시뮬레이션 결과

제안된 HILS 환경 검증을 위해 실시간 시뮬레이션 수행 결과이다. ADC 및 MSU to SC 데이터(SPF 통신)는 SC로 전달되고, SC에서 제어 알고리즘을 수행한다. 수행된 제어 결과값은 VC로 전달되며, VC에서는 Sorting 및 Modulation 알고리즘이 FPGA 기반에서 병렬 연산이 수행된 후 최종 PWM 신호가 MSU MMC U5 모델로 전달된다. 이때 PWM 신호는 MSU 통신 패킷에 맞게 32비트로 변환되어 전달되어야 한다.

그림 5의 (a)는 MMC 출력전압을 나타낸 것이다. RMS 기준 6.6[kV] 전압 출력을 확인할 수 있고, (b)는 MMC 출력 전류를 나타낸 것이며, 피크 기준 80[A]로 제어되는 것을 확인할 수 있다. (c), (d)는 MMC 출력 유효전력, 무효전력을 나타낸 것이다. 유효전력의 경우 STATCOM은 손실분에 대해서만 출력하여 0에 가까운 것을 확인할 수 있고, 무효전력의 경우 약 0.3[kvar]를 출력하는 것을 확인할 수 있다. (e)는 SM Capacitor 평균 전압을 나타낸 것이며, 약 40[V]의 전압 리플이 확인된다. 서브모듈 설계시 전압리플 $\pm 20[V]$ 를 목표로 설계되었으며, 시뮬레이션 결과 기준 전압 대비 4.4% 리플 발생으로 목표 리플 전압값을 충족함을 확인하였다. (f)는 SM 1번부터 6번의 Capacitor 전압을 나타낸 것이다. 제어 알고리즘에 의해 서브모듈 간의 전압 편차가 최대 10[V]를 넘지 않는 것을 확인하였다. 실시간 시뮬레이션 결과를 통해 제어기의 성능 및 제어 알고리즘의 유효성을 검증하였다.

4. 결론

본 논문에서는 RTDS 기반의 1MW급 단상 MMC-STATCOM 모델을 바탕으로 FPGA 기반의 제어기를 검증할 수 있는 C-HILs 환경 구성 방안에 대하여 제안하였다. 제안한 C-HILS 환경을 통해 프로토타입으로 설계된 FPGA 기반의 MMC-STATCOM 제어기의 성능 및 제어 알고리즘의 유효성을 검증하였다. 제안한 검증 환경을 통해, 향후 HVDC 시스템용 제어기 설계 검증에 중요한 기초 자료로 활용될 수 있을 것으로 예상된다.

이 논문은 2024년도 정부(산업통상자원부)의 재원으로 한국에너지기술평가원의 지원을 받아 수행된 연구임 (24A02010, MMC타입 ESS 및 재생에너지 연계 고압형 허브스테이션 핵심기기 개발)

참고 문헌

- [1] L. G. Franquelo, J. Rodriguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. Prats, "The age of multilevel converters arrives," IEEE industrial electronics magazine, vol. 2, no. 2, pp. 28-39, 2008.
- [2] S. Debnath, J. Qin, B. Bahrani, M. Saedifard, and P. Barbosa, "Operation, control, and applications of the modular multilevel converter: A review," IEEE transactions on power electronics, vol. 30, no. 1, pp. 37-53, 2014.
- [3] A. Lesnicar and R. Marquardt, "An innovative modular multilevel converter topology suitable for a wide power range," in 2003 IEEE Bologna Power Tech Conference Proceedings, 2003, vol. 3: IEEE, p. 6 pp. Vol. 3.
- [4] R. Zeng, L. Xu, L. Yao, and B. W. Williams, "Design and operation of a hybrid modular multilevel converter," IEEE Transactions on power electronics, vol. 30, no. 3, pp. 1137-1146, 2014.
- [5] M. A. Perez, S. Ceballos, G. Konstantinou, J. Pou, and R. P. Aguilera, "Modular multilevel converters: Recent achievements and challenges," IEEE Open Journal of the Industrial Electronics Society, vol. 2, pp. 224-239, 2021.