

높은 전력 밀도를 위한 위치 전환된 플라잉 커패시터를 갖는 4:1 디슨 스위치드 커패시터 컨버터

이태우, 윤담, 최성혁, 하정익
 서울대학교 전기·정보공학부

4:1 Dickson Switched Capacitor Converter with Position-Shifted Flying Capacitors for High Power Density

Taewoo Lee, Dam Yun, Sunghyuk Choi, Jung-Ik Ha

Department of Electrical and Computer Engineering, Seoul National University, Seoul, Korea

ABSTRACT

본 논문에서는, 높은 전력밀도를 갖는 새로운 4:1 스위치드 커패시터 컨버터 토폴로지를 제안한다. 기존의 4:1 디슨 컨버터에서 플라잉 커패시터의 연결 상태를 변형한 새로운 토폴로지를 유도한다. 제안하는 토폴로지는 플라잉 커패시터의 DC 내압을 줄여 수동소자의 부피를 저감하며 출력 임피던스를 줄여 도통 손실을 저감할 수 있는 이점이 있다. 제안하는 토폴로지의 스위치 연결 상태에 따른 등가회로 분석을 통해 출력 임피던스를 이론적으로 도출하였고 이를 시뮬레이션으로 검증하였다.

1. 서론

스위치드 커패시터 컨버터 (Switched-Capacitor Converter, SCC)는 커패시터와 스위치만으로 구성된 컨버터이다. 큰 부피를 차지하는 자성소자인 인덕터를 포함하는 PWM 컨버터와 달리, SCC는 에너지 밀도가 높은 커패시터를 활용하여 높은 전력 밀도를 갖는다. 따라서, 전력 밀도 개선을 위해 SCC를 활용한 많은 DC-DC 컨버터 연구가 이루어지고 있다. 이러한 SCC는 전자기기 내 고속 충전 시스템 설계, AI 반도체 전력 공급, 데이터 센터의 버스 컨버터 등에 응용된다.

SCC 토폴로지에는 Doubler, Fibonacci, Series-parallel, Ladder, Dickson 등이 있다. 이 중, Dickson SCC는 커패시터와 스위치의 병렬 구동으로 스위치 전류 스트레스가 작아 고전류 응용에 많이 쓰인다. 하지만, 커패시터의 내압이 다른 토폴로지에 비해 상대적으로 커 수동소자의 부피가 큰 단점이 있다.

커패시터의 내압에 의해 필요로 하는 저장 에너지가 결정되고 그에 따라 커패시터의 부피가 에너지 밀도에 의해 정해진다. 그러므로 수동소자의 부피를 저감하기 위해 커패시터의 내압을 줄이는 것이 중요하다.

본 연구에서는, 기존 4:1 Dickson SCC에서 커패시터의 부피 저감을 위해 커패시터의 위치를 전환한 새로운 토폴로지를 제안하고 수동소자의 부피와 컨버터의 효율을 기존 토폴로지와 비교 및 검증한다.

2. 새로운 SCC 토폴로지

2.1 토폴로지 유도

그림 1은 4:1 Dickson SCC의 기존 형태와 제안하는 형태의 토폴로지를 보여준다. 스위치는 0.5의 듀티를 가지고 두 개의 동작 상태로 구동되며 색상에 따라 동작 상태를 구분하였다. 그림 2는 스위치 동작 상태 중 첫 번째 페이지의 커패시터 등가회로를

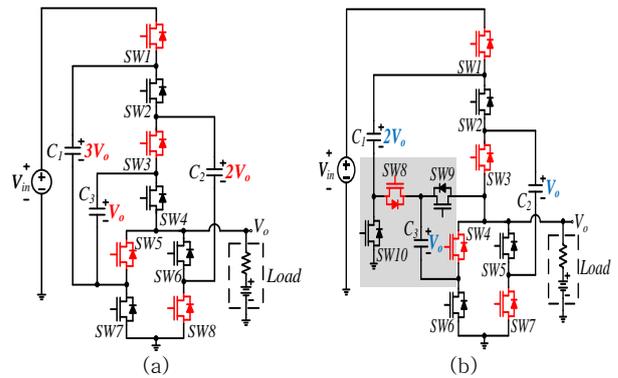


그림 1. 스위치 동작 상태를 색상으로 구분하여 나타낸 4:1 Dickson SCC: (a) 기존 토폴로지, (b) 제안한 토폴로지.
 Fig. 1. 4:1 Dickson SCC indicating switch operation status differentiated by color: (a) conventional, (b) proposed.

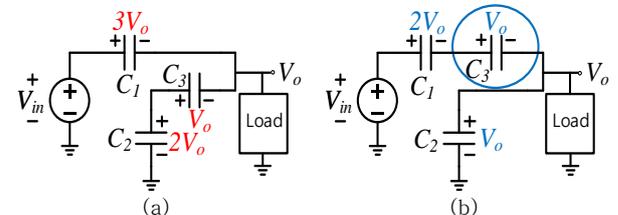


그림 2. 첫 번째 페이지의 커패시터 DC 내압을 표기하여 나타낸 등가회로: (a) 기존 토폴로지, (b) 제안한 토폴로지.
 Fig. 2. Equivalent circuit indicating dc bias voltage of capacitors at phase 1: (a) conventional, (b) proposed.

DC 내압을 표기하여 기존 토폴로지와 제안한 토폴로지를 각각 보여준다. 두 번째 페이지의 등가회로는 동일하여 생략하였다. 커패시터의 DC 내압은 출력 전압 V_o 의 정수 배 형태로 표현할 수 있다. 그림 2의 등가회로와 같이 기존 4:1의 Dickson SCC는 다른 토폴로지에 비해 비교적 큰 커패시터의 내압을 지니고 있다. 특히, C_1 의 DC 내압은 $3V_o$ 이므로 이를 분압할 수 있도록 C_3 의 위치를 C_1 과 직렬 연결되도록 위 노드로 전환한다. 그림 2(a)의 C_1 의 DC 내압을 그림 2(b)의 C_1, C_3 이 각각 $2V_o, V_o$ 의 내압만큼 분압한다. 등가회로에 따라 스위치를 연결하여 토폴로지를 구성하면 2개의 스위치를 추가하여 그림 1(b)가 도출된다. 표 1과 같이 스위치의 내압은 증가하는 반면, 커패시터의 내압은 감소하는데 스위치의 집적화를 고려하면 전체 시스템 면적 중 큰 비중을 차지하는 수동소자의 부피를 저감하는 것이 중요하다. 스위치의 내압 증가에 따른 효율 분석은 2.2.2절에서 기술된다.

표 1. 스위치와 커패시터의 DC 내압; old: 기존, new: 제안.

Table 1. DC bias voltage of switches and capacitors; old: conventional, new: proposed.

| SW. | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 |
|--------------|--------|--------|--------|--------|-------|-------|-------|-------|-------|--------|
| $V_{ds,old}$ | V_o | $2V_o$ | $2V_o$ | V_o | V_o | V_o | V_o | V_o | - | - |
| $V_{ds,new}$ | $2V_o$ | $3V_o$ | V_o | V_o | V_o | V_o | V_o | V_o | V_o | $2V_o$ |
| Cap. | C_1 | | | C_2 | | | C_3 | | | |
| $V_{C,old}$ | $3V_o$ | | | $2V_o$ | | | V_o | | | |
| $V_{C,new}$ | $2V_o$ | | | V_o | | | V_o | | | |

2.2 분석

커패시터의 부피는 커패시터가 저장할 수 있는 에너지와 밀접한 관련이 있다. 커패시터가 필요로 하는 저장 에너지를 파악하면 에너지 밀도와 관계로 부피를 도출해낼 수 있다.

SCC 분석에서 수동소자의 이용률을 구하는 것은 전력 밀도를 판단하는 중요한 지표가 된다.^[1] 커패시터가 필요로 하는 저장 에너지 대비 총, 방전에 의한 부하로의 전력 전달 에너지를 통해 커패시터의 이용률을 정의한다. 2.2.1절에서 커패시터의 DC 내압과 전력 전달을 위한 전압 리플을 에너지 관점에서 분석하여 수동소자의 부피 개선을 의도하고 이용률을 파악한다.

스위칭 주파수 구동에 따른 출력 임피던스 분석을 통해 SCC를 분석하는 것은 컨버터의 효율을 산정하는 데에 중요한 지표가 된다.^[2] Slow Switching Limit (SSL) 영역에서는 커패시터의 완전한 충전, 방전으로 인한 손실이 지배적이므로 주파수가 증가함에 따라 출력 임피던스는 줄어든다. 하지만, Fast Switching Limit (FSL) 영역에서는 커패시터의 불완전한 충전, 방전으로 인해 도통 손실이 지배적이다. 따라서 주파수와 무관하게 출력 임피던스는 일정한 최소치를 갖는다. FSL 구동의 최소 주파수 지점을 f_{crit} 라 정의하고, 일반적인 SCC에서의 f_{crit} 을 식 (1)과 같이 표현할 수 있다.

$$f_{crit} = \frac{1}{2\pi RC} \quad (1)$$

이때, R 은 회로의 등가 직렬 저항을 나타내는 출력 임피던스이고 C 는 등가 커패시턴스를 나타낸다.

본 연구에서는, $f_{sw} \geq f_{crit}$ 을 만족하는 FSL 영역에서의 스위칭 주파수 구동을 가정하여 분석을 진행한다.

2.2.1 커패시터 부피와 이용률

그림 3은 SCC 토폴로지의 FSL 영역 구동 시에 플라잉 커패시터의 전압과 전류, 전력 파형을 보여준다.

$$i(t) = I_{pk} e^{-\omega_c t} \quad (2)$$

$$\Delta V_{C0} = \frac{I_{pk}}{C\omega_c} (1 - e^{-\frac{\omega_c}{2f_{sw}}}) \quad (3)$$

$$I_{out} = \frac{2}{T_{sw}} \int_0^{\frac{T_{sw}}{2}} i(t) dt = \frac{2I_{pk}}{\omega_c T_{sw}} (1 - e^{-\frac{\omega_c T_{sw}}{2}}) \quad (4)$$

$$\frac{1}{2} \Delta V_{C0} = \frac{I_{out}}{4Cf_{sw}} \quad (5)$$

식 (2)는 커패시터의 충전 전류 식을 나타낸다. I_{pk} 는 전류의 최댓값, ω_c 는 임계각주파수로 $\omega_c = 2\pi f_{crit} = \frac{1}{RC}$ 를 의미한다. 커패시터의 전압과 전류 관계식에 식 (2)를 적용하면 커패시터 리플 전압 ΔV_{C0} 을 의미하는 식 (3)이 유도된다. 출력 전류 I_{out} 와 피크 전류 I_{pk} 의 관계를 나타내는 식 (4)에 의해 식 (3)는 식 (5)처럼 쓰여질 수 있다. 이때, T_{sw} 는 스위칭 주기를 의미하고 스위칭 주파수 f_{sw} 의 역수이다.

커패시터의 부피는 다음의 식 (6)과 같이 저장된 에너지와 에너지 밀도에 대한 식으로 나타낼 수 있다. 플라잉 커패시터가

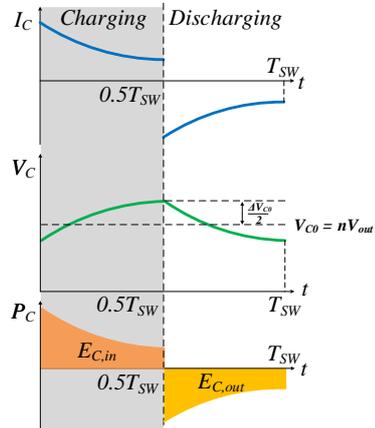


그림 3. SCC 토폴로지의 FSL 영역 구동 시에 플라잉 커패시터의 전류 I_C , 전압 V_C , 전력 P_C 와 총, 방전 에너지 $E_{C,in}$, $E_{C,out}$ 를 보여주는 파형.

Fig. 3. Current I_C , voltage V_C , power P_C , energy of charging/discharging $E_{C,in}$, $E_{C,out}$ waveforms of the flying capacitor of SCC topology in FSL operation.

표 2. 기존, 제안 토폴로지의 커패시터 DC 내압, 부피 비교표: 커패시터 DC 내압 V_{C0} , DC 내압 공급의 함수로 표현한 총 커패시터 부피 $Vol_{C,total}$.

Table 2. Comparison table of dc bias voltage and volume of capacitor: dc bias voltage of capacitor V_{C0} , total volume of capacitor $Vol_{C,total}$ expressed as function of square of dc bias voltage.

| 4:1 Dickson | V_{C0} | $Vol_{C,total}$ |
|---------------|-------------------|-----------------|
| Conventional. | $3V_o, 2V_o, V_o$ | $f(14V_o^2)$ |
| Proposed. | $2V_o, V_o, V_o$ | $f(6V_o^2)$ |
| Δ | $-2V_o$ | -57% |

가질 수 있는 최대 에너지만큼 요구되는 부피의 최소치가 결정된다.

$$Vol_C = \frac{E_{C,store}}{\rho_{E,C}} \quad (6)$$

$$E_{C,store} = \frac{1}{2} C \left(V_{C0} + \frac{1}{2} \Delta V_{C0} \right)^2 \quad (7)$$

Vol_C 는 커패시터의 부피, $E_{C,store}$ 는 커패시터의 최대 저장 에너지, $\rho_{E,C}$ 는 커패시터의 에너지 밀도, V_{C0} 는 커패시터에 걸리는 DC 내압을 의미한다. 기존 토폴로지와 제안하는 토폴로지 간 변동 조건은 DC 내압 V_{C0} 이다. 식 (5)에서 설계 조건이 동일하다면 커패시터의 전압 리플 ΔV_{C0} 은 동일하므로 DC 내압의 변동만을 고려할 수 있다. 따라서, 식 (6), (7)에 의해 커패시터의 부피를 DC 내압의 공급의 함수로 표현할 수 있다. 표 2에서 DC 내압의 공급의 함수로 총 부피를 표현하였고 기존 대비 제안하는 토폴로지가 갖는 DC 내압의 차와 총 부피 감소율을 볼 수 있다.

$$E_{C,process} = \frac{1}{2} C \left[\left(V_{C0} + \frac{1}{2} \Delta V_{C0} \right)^2 - \left(V_{C0} - \frac{1}{2} \Delta V_{C0} \right)^2 \right] \quad (8)$$

$$\mu_C = \frac{E_{C,process}}{E_{C,store}} = \frac{CV_{C0}\Delta V_{C0}}{\frac{1}{2}C \left(V_{C0} + \frac{1}{2} \Delta V_{C0} \right)^2} = \frac{2 \frac{\Delta V_{C0}}{V_{C0}}}{\left(1 + \frac{1}{2} \frac{\Delta V_{C0}}{V_{C0}} \right)^2} \quad (9)$$

수동소자의 이용률은 전력 전달에 활용되는 에너지와 수동소자에 저장된 최대 에너지와의 관계로 나타낼 수 있다.^[2] 식 (8)은 커패시터의 총, 방전을 통한 교류 성분에 의해 전력 전달에 쓰이는 에너지 $E_{C,process}$ 를 표현한다. 식 (9)는 이를 저장하는 최대 에너지로 나눈 비율인 이용률 μ_C 를 정의한다.

마찬가지로, 토폴로지 간 비교를 위해 변동에 영향을 주는 변수는 DC 내압 V_{C0} 이다. FSL 영역에서 $V_{C0} > \frac{1}{2} \Delta V_{C0}$ 을 만족하므로 커패시터 이용률 μ_C 은 V_{C0} 에 반비례함을 알 수 있다.

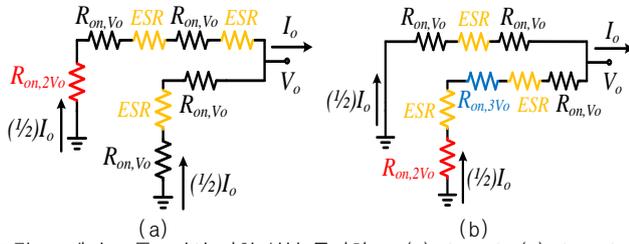


그림 4. 제안 토폴로지의 저항 성분 등가회로: (a) phase 1, (b) phase 2.
Fig. 4. Equivalent circuit with resistive components in proposed topologies: (a) phase 1, (b) phase 2.

따라서, 제안하는 토폴로지에서 커패시터 내압 감소에 의해 전력 전달에 활용되는 커패시터의 이용률이 개선됨을 확인할 수 있다.

2.2.2 출력 임피던스

그림 4는 페이즈 별 스위치의 내압을 고려한 온 저항과 커패시터의 등가 직렬 저항 (ESR)을 기존 형태와 제안하는 형태를 각각 도식화하여 나타내었다. nV_o 의 내압을 갖는 스위치의 온 저항을 R_{on,nV_o} 라고 표기하였고 이를 색상으로 구분하였다.

$$P_{phase,1} = I_o^2 \cdot (R_{on,V_o} + 0.25R_{on,2V_o} + 0.75esr) \quad (10)$$

$$P_{phase,2} = I_o^2 \cdot (0.75R_{on,V_o} + 0.25R_{on,2V_o} + 0.25R_{on,3V_o} + 0.75esr) \quad (11)$$

$$P_{total,new} = I_o^2 \cdot (0.88R_{on,V_o} + 0.25R_{on,2V_o} + 0.13R_{on,3V_o} + 0.75esr) \quad (12)$$

$$R_{out,new} = 0.88R_{on,V_o} + 0.25R_{on,2V_o} + 0.13R_{on,3V_o} + 0.75esr \quad (13)$$

$$\Delta R_{out} = -0.62R_{on,V_o} + 0.13R_{on,3V_o} \quad (14)$$

그림 4(a), 4(b)를 통해 제안한 회로의 노드 별로 발생하는 손실 전력을 계산하여 듀티를 고려해 총 손실 전력 $P_{total,new}$ 을 나타내었고 이를 통해 출력 임피던스 $R_{out,new}$ 를 도출하였다. 식 (14)는 기존 대비 출력 임피던스의 차를 의미한다. 스위치의 내압을 고려하여 계산하였을 때, 출력 임피던스의 차 $\Delta R_{out} < 0$ 을 만족하므로 제안한 토폴로지가 기존 대비 낮은 출력 임피던스를 가짐을 확인하여 스위치의 도통 손실을 저감할 수 있음을 알 수 있다.

2.3 시뮬레이션 결과

제안한 토폴로지의 구현 검증을 위해 PLECS를 이용하여 시뮬레이션을 진행하였다. 시뮬레이션 제정수는 표 3과 같다.

시뮬레이션 결과는 그림 5와 같다. 그림 5(a), 5(b)는 정상 상태에서의 출력 전압, 출력 전류를 보여준다. 그림 5(c), 5(d)의 각 커패시터 DC 내압을 보면 12V, 8V, 4V에서 8V, 4V, 4V로 줄어들음을 확인하였다. 또한, 출력 임피던스와 스위치의 도통 손실, 스위칭 손실을 계산하여 표 4에 나타내었다. 추가되는 스위치에 의해 스위칭 손실은 증가하지만, 출력 임피던스 감소폭이 커 효율이 늘어남을 확인하였다.

3. 결론

본 연구는 기존 4:1 Dickson SCC의 병렬적 구성을 유지하되 수동소자의 부피를 저감하고자 커패시터의 내압을 줄일 수 있도록 커패시터의 위치를 전환시킨 새로운 토폴로지를 제시하였다. 커패시터의 부피와 관련된 내압, 이용률을 에너지 관점에서 해석하여 부피 저감 개선을 보였고 출력 임피던스를 도출하여 FSL 영역에서 지배적인 도통 손실을 저감할 수 있음을 이론적으로 분석하였다. 시뮬레이션 분석을 통해 이론적

표 3. 시뮬레이션 제정수: 스위치 상승 시간 t_r , 스위치 하강 시간 t_f , 스위치의 출력 기생 커패시턴스 C_{oss} .

Table 3. Simulation parameters: rising time of switch t_r , falling time of switch t_f , output capacitance of switch C_{oss} .

| | | | |
|-------------|----------------|---------------------|------------|
| V_{in} | 16 V | $C_n (n = 1, 2, 3)$ | 30 μ F |
| V_{out} | 4 V | f_{sw} | 1 MHz |
| I_{out} | 16 A | t_r | 1 ns |
| $R_{on,sw}$ | 2 m Ω | t_f | 2 ns |
| ESR_{cap} | 0.5 m Ω | C_{oss} | 620 pF |

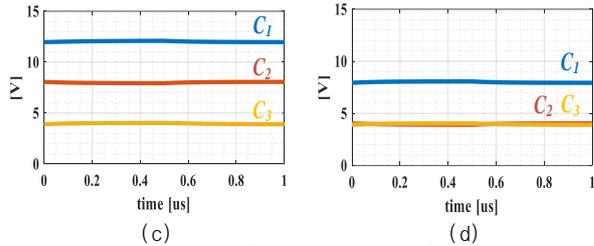
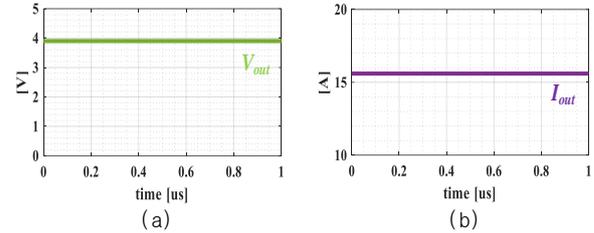


그림 5. 정상 상태에서의 시뮬레이션 파형: (a) 출력 전압 V_{out} , (b) 출력 전류 I_{out} , (c) 기존 토폴로지의 커패시터 전압, (d) 제안 토폴로지의 커패시터 전압.

Fig. 5. Steady-state waveforms: (a) output voltage V_{out} , (b) output current I_{out} , (c) capacitor voltage of conventional topology, (d) capacitor voltage of proposed topology.

표 4. 기존 토폴로지와 제안 토폴로지의 손실 비교 표: 출력 임피던스 R_{out} , 도통 손실 P_{cond} , 스위치 턴 온, 오프 손실 $P_{on/off}$, 스위치 출력 커패시터 손실 $P_{C_{oss}}$, 총 손실 전력 P_{total} , 효율 η .

Table 4. Loss comparison table of conventional and proposed topologies: output impedance R_{out} , conduction losses P_{cond} , turn on, off losses of switches $P_{on/off}$, output capacitor losses of switches $P_{C_{oss}}$, total power losses P_{total} , efficiency η .

| Topology | R_{out} | P_{cond} | $P_{on/off}$ | $P_{C_{oss}}$ | P_{total} | η |
|---------------|----------------|------------|--------------|---------------|-------------|--------|
| Conventional. | 3.9 m Ω | 1 W | 0.58 W | 0.07 W | 1.65 W | 97.4 % |
| Proposed. | 2.9 m Ω | 0.74 W | 0.67 W | 0.12 W | 1.53 W | 97.6 % |

타당성을 보였고 구현 가능성을 검증하였다.

본 연구는 삼성전자의 지원(과제번호: IO201208-07819-01)을 받아 수행된 결과임
이 논문은 서울대학교 전력연구소의 연구비 지원에 의하여 연구되었음

참고 문헌

- [1] Z. Ye, S. R. Sanders and R. C. N. Pilawa-Podgurski, "Modeling and Comparison of Passive Component Volume of Hybrid Resonant Switched-Capacitor Converters," in IEEE Transactions on Power Electronics, vol. 37, no. 9, pp. 10903-10919, Sept. 2022.
- [2] M. D. Seeman and S. R. Sanders, "Analysis and Optimization of Switched-Capacitor DC-DC Converters," in IEEE Transactions on Power Electronics, vol. 23, no. 2, pp. 841-851, March 2008