

Phase-shifted PWM 기반 Cascaded H-bridge 인버터의 Missed-edge에 의한 전압 오류 억제 기법

방정율, 최동호, 오현우, 박진혁*, 이준석

단국대학교, 한국철도기술연구원* (KRRI)

Voltage Error Suppression Method Caused by Missed-edge in Phase-shifted PWM-Based Cascaded H-bridge Inverter

Jeong-Yul Bang, Dongho Choi, Hyeon-Woo Oh, Jin-Hyuk Park*, June-Seok Lee
Dankook University, Korea Railroad Research Institute* (KRRI)

ABSTRACT

본 논문은 Phase-shifted PWM (PS-PWM)를 사용하는 Digital Signal Processor (DSP) 기반 Cascaded H-bridge 인버터 (CHB)에서 Missed-edge에 의한 출력 전압 오류를 억제하는 기법을 제시한다. Missed-edge란 DSP 환경에서 PWM 신호가 갱신되지 않고 누락되는 현상을 의미한다. 누락된 PWM 신호로 인해 CHB 출력 전압 오류가 발생하고, 이는 심각한 전류 서지를 유발하기 때문에 Missed-edge는 반드시 억제되어야 한다. 본 논문에서는 Missed-edge를 사전에 예측하기 위해, 각 제어주기에서 현재 및 이전 제어주기의 스위칭 듀티와 반송파의 크기를 이용하여 다음 지령이 갱신되는 시점에서 Missed-edge의 발생 여부를 판단한다. Missed-edge가 예측된 셀은 PWM 신호의 누락을 방지하기 위해 스위칭 듀티를 갱신하지 않고 이전 값으로 유지시킨다. 본 논문의 타당성은 DSIM 시뮬레이션을 통해 검증한다.

1. 서론

CHB는 다수의 H-bridge가 직렬 연결되어 멀티레벨의 정현파 전압을 출력하는 구조를 갖고 있으며, 회로 구성은 그림 1과 같다. 또한 CHB의 출력 전압 (v_{CHB})는 각 셀의 출력 전압 ($v_{cell,n}$, $n=1,2,\dots,N$)의 합과 같다. 따라서 CHB는 전력반도체의 정격 전압보다 더 높은 출력 전압을 출력할 수 있기 때문에 대용량 및 고전압 어플리케이션에 주로 사용되고 있다.

CHB의 출력 전압 생성을 위한 변조기법은 Phase-shifted PWM (PS-PWM), Level-shifted PWM (LS-PWM), Nearest Level Control (NLC) 등이 존재한다. 그러나 밸런싱 및 정렬 알고리즘이 요구되지 않아 제어기의 부담을 줄일 수 있는 PS-PWM 기법이 가장 많이 사용된다. PS-PWM 기법은 동일한 반송파 주파수에서 다른 기법보다 더 높은 주파수의 v_{CHB} 를 출력할 수 있기 때문에 일반적으로 제어 주파수보다 훨씬 작은 반송파 주파수로 제어한다. 그러나, Digital Signal Processor (DSP) 기반의 CHB를 제어할 때, 반송파의 Zero 혹은 Peak가 아닌 다른 곳에서 스위칭 듀티 (D_n)를 갱신할 경우 Missed-edge가 발생할 수 있다. Missed-edge란, D_n 이 업데이트될 때 스위칭 펄스 (SW_n)의 갱신이 누락되는 현상을 의미한다. Missed-edge는 누락된 SW_n 로 인해 인버터 출력 전압 오차를

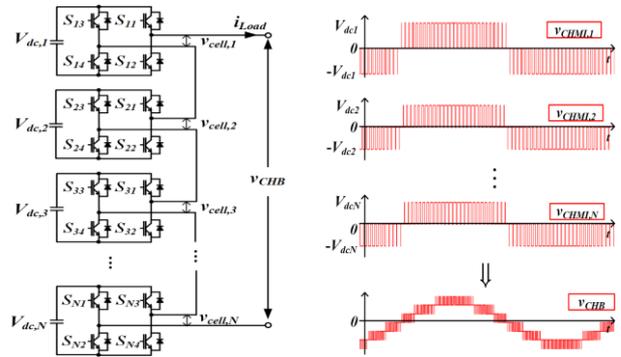


그림 1 CHB 토폴로지 구성.
Fig.1 Topology of CHB.

그림 2 PS-PWM 기반 CHB 출력 전압.
Fig.2 Output voltage of PS-PWM based CHB.

생성하고, 심각한 전류 서지를 유발할 수 있으므로 반드시 억제되어야 한다.^{[1][2]}

본 논문에서는 DSP 기반 CHB에서 PS-PWM 기법을 사용할 경우 발생하는 Missed-edge의 발생을 예측하고 억제하여 v_{CHB} 오차를 제거하는 기법을 제시한다. Missed-edge의 발생을 예측하기 위해 각 셀 반송파의 크기 및 기율기와 현재 및 이전 제어주기의 D_n 이 사용된다. Missed-edge가 예측된 셀을 m 이라고 가정할 경우, D_m 을 갱신하지 않고 이전의 값으로 유지하여 Missed-edge 발생을 억제한다. 제안하는 기법의 타당성은 DSIM 툴을 이용한 3-셀 CHB 시뮬레이션 결과를 통해 검증한다.

2. PS-PWM 기반 CHB의 Missed-edge 영향 분석

2.1 PS-PWM 기반 CHB

그림 2는 PS-PWM 기반 CHB의 각 셀 출력 전압 ($v_{cell,n}$) 및 CHB 출력 전압 파형을 나타낸다. CHB에서 v_{CHB} 를 출력하기 위해 출력 전압 지령 (v_{CHB}^*)은 N 으로 나뉘어 각 셀의 셀 출력 전압 지령 (v_{cell}^*)로 분배되며 각 셀의 DC 링크 전압 ($V_{dc,n}$)에 따라 D_n 으로 정규화 되어 적용된다. 또한 ϕ 만큼의 위상차를 갖는 N 개의 반송파로 인해 최대 $2N+1$ 레벨을 갖는 v_{CHB} 를 출력할 수 있으며, v_{CHB} 의 주파수는 반송파 주파수의 $2N$ 배로 출력한다. 이는 CHB의 반송파 주기가 제어 주기보다 N 배 더 커질 수 있음을 나타낸다. 그림 3은 PS-PWM 기반 CHB의 셀 n 에 대한 반송파 및 D_n 을 나타낸다.

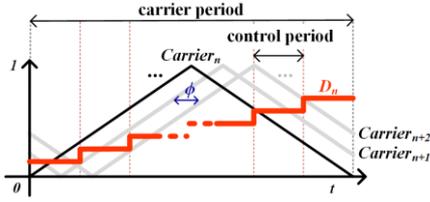


그림 3 PS-PWM 기반 CHB의 반송파 및 스위칭 듀티.
Fig.3 Carriers and Switching Duties in PS-PWM based CHB.

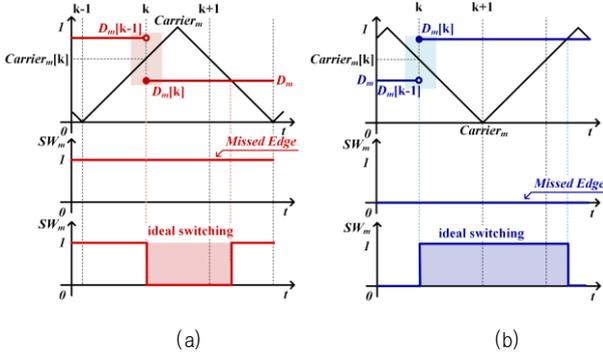


그림 4 Missed-edge의 발생 (a) 반송파 상승, (b) 반송파 하강.
Fig.4 Occurrence of Missed-edge (a) Carrier up-count, (b) Carrier down-count.

표 1 반송파 기울기에 따른 DSP의 스위칭 펄스 출력.

Table 1 Output switching pulse of DSP based on carrier slope.

	반송파 상승	반송파 하강
SW_m	0	1

2.2 Missed-edge의 발생 원인

DSP는 반송파와 D_n 의 크기가 동일한 시점에서만 SW_m 을 갱신한다. 갱신되는 SW_m 은 반송파의 기울기에 따라 다르며, 반송파의 기울기에 따른 SW_m 출력은 표 1과 같이 나타나며 그 이외의 값으로는 갱신되지 않는다. 그러나, 반송파의 Zero 혹은 Peak가 아닌 다른 시점에서 D_n 이 갱신될 경우 D_n 과 반송파의 크기가 동일한 시점이 발생하지 않아 SW_m 이 갱신되지 않는 Missed-edge가 발생할 수 있다. 셀 m 에서 Missed-edge가 발생했다고 가정할 경우, 그림 4는 반송파 상승 및 하강 조건에서 Missed-edge가 발생하는 상황을 나타낸다. 이때 k 및 $Carrier_m[k]$ 는 각각 D_m 이 갱신되는 시점과 k 에서 셀 m 의 반송파의 크기를 나타낸다. 예를 들어, 그림 4(a)는 k 시점에서 $D_m[k]$ 가 반송파보다 작기 때문에 이상적인 경우 SW_m 이 0으로 갱신되어야 한다. 그러나, 실제 DSP에선 반송파와 $D_m[k]$ 의 값이 같은 시점이 발생하지 않기 때문에 SW_m 이 갱신되지 않는다.

Missed-edge가 발생하면 SW_m 의 갱신이 누락되어 $v_{cell,m}$ 및 v_{CHB} 에 오차가 발생한다. 계통연계 시스템과 같은 경우, 출력 전압의 오차는 매우 심각한 전류 서지를 유발할 수 있으므로, 시스템에 악영향을 미치는 Missed-edge는 반드시 억제해야 한다.

3. Missed-edge 예측 및 억제 알고리즘

본 절에서는 PS-PWM 기반 CHB에서 Missed-edge가 발생하는 조건을 분석하고 이를 억제하는 알고리즘에 대해

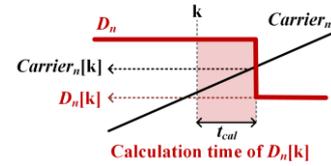


그림 5 연산 종료 후 갱신되는 스위칭 듀티.
Fig.5 Updating the switching duty after the calculation time.

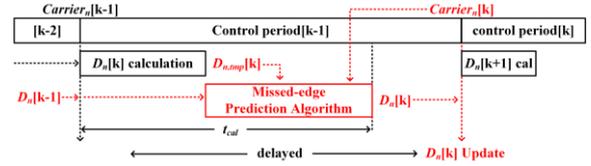


그림 6 Missed-edge 예측 및 보상 알고리즘이 포함된 DSP의 스위칭 듀티 출력 시퀀스.
Fig. 6 Process of generating the switching duty in DSP including Missed-edge prediction and suppression algorithm.

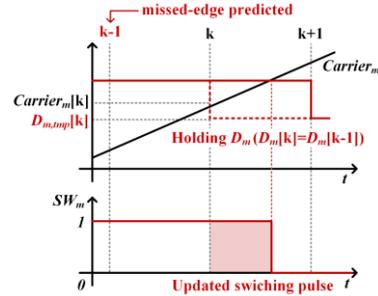


그림 7 Missed-edge 발생 억제를 위한 지령 유지.
Fig.7 Holding the switching duty to suppress the Missed-edge.

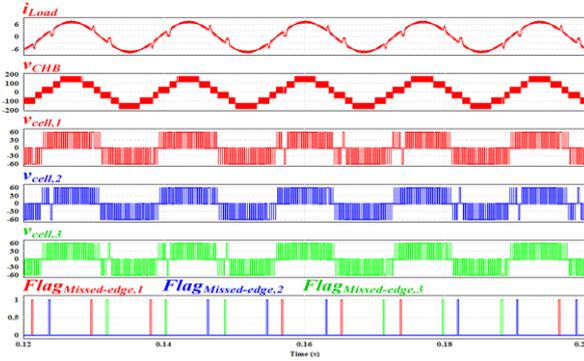
서술한다. 그림 4를 통해 Missed-edge가 발생할 때 반송파와 D_m 사이의 관계를 파악할 수 있다. 첫째, 반송파의 반주기 동안 반송파와 D_m 의 크기가 동일한 지점은 존재하지 않는다. 둘째, 반송파와 D_m 의 기울기는 서로 반대이다. 예를 들어, 그림 4(a)에서 k 에서 반송파는 상승, D_m 은 하락하였고, 그림 4(b)에서는 반송파는 하강, D_m 은 상승하였다. 이러한 상관관계는 식 (1)과 같이 나타낼 수 있다.

$$Sign_n[k] \cdot D_n[k] < Sign_n[k] \cdot Carrier_n[k] < Sign_n[k] \cdot D_n[k-1]. \quad (1)$$

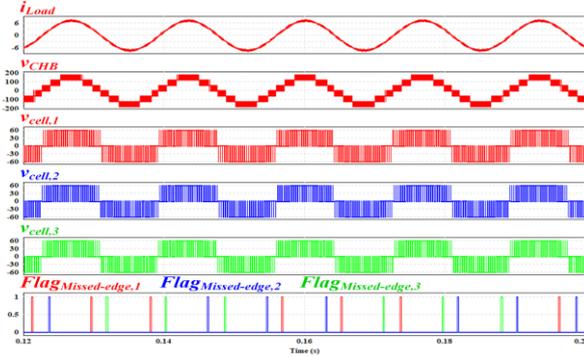
이때, $Sign_n[k]$ 는 k 에서 반송파의 기울기 함수를 나타내며, 반송파가 상승할 경우 1, 하강할 경우 -1의 값을 갖는다. 따라서 수식 (1)을 이용하여 각 제어주기마다 Missed-edge의 발생 여부를 판단할 수 있다.

그러나, DSP 환경에서 D_n 은 정확히 k 또는 $k+1$ 과 같은 시점에서 갱신되는 것이 아니라 연산 시간 (t_{cal}) 이후에 갱신된다. 따라서 식 (1)을 통한 Missed-edge 판단을 위해선 반드시 t_{cal} 을 고려해야 한다. 그림 5는 실제 DSP가 출력하는 D_n 을 나타낸 그림이다. 그림 5를 통해 $D_n[k]$ 는 k 시점에서 연산을 시작하여 t_{cal} 이후에 출력하는 것을 알 수 있다. t_{cal} 은 매 주기 동일하지 않고, 제어 주기마다 차이가 있기 때문에 t_{cal} 을 고려하여 $Carrier_n[k]$ 의 크기를 도출하는 것은 매우 어렵다.

본 논문에서는 t_{cal} 의 영향을 배제하기 위해 DSP에서 연산된 D_n 을 바로 갱신하지 않고, 다음 제어 주기에 갱신한다. 예를 들어 k 시점에서 계산된 $D_n[k]$ 는 연산이 종료되더라도 갱신하지 않고, $k+1$ 에 갱신한다. D_n 을 다음 제어 주기에



(a)



(b)

그림 8 Missed-edge 예측 및 억제 알고리즘 적용 여부에 따른 시뮬레이션 파형 (a) 적용 전 (b) 적용 후.

Fig.8 Simulation waveforms (a) without applying the proposed method (b) with applying the proposed method.

표 2 3-셀 CHB 출력 전류 제어 시뮬레이션 파라미터.

Table 1 Simulation parameters of 3-cell CHB output current control.

파라미터	값
CHB 출력 전압	144V _{peak} /60Hz
DC-link 전압	60V _d
스위칭 주파수	1.67kHz
제어 주기	200μs

갱신할 경우 발생하는 샘플링 지연은 샘플링 지연 보상 알고리즘을 적용하여 오차를 제거할 수 있다.^[1] D_n 을 다음 제어 주기에 갱신할 경우 D_n 의 갱신 시점을 정확히 알 수 있기 때문에, 정확한 $Carrier_n[k]$ 의 크기를 도출할 수 있다.

또한, D_n 을 다음 제어 주기에 갱신할 경우 $k-1$ 에서 k 에 갱신될 D_n 의 크기를 알 수 있다. 따라서 k 시점에서 발생하는 Missed-edge를 예측하기 위해 필요한 $D_n[k-1]$, $D_n[k]$, $Carrier_n[k]$ 및 $Sign_n[k]$ 에 대한 모든 정보를 $k-1$ 시점에서 알 수 있어 Missed-edge 발생을 미리 예측할 수 있다.

Missed-edge가 예측된 셀은 다음 제어주기에 반드시 Missed-edge가 발생하기 때문에 이를 억제해야 한다. 본 논문에서는 Missed-edge가 예측된 셀의 D_m 을 변조하여 Missed-edge의 발생을 억제하는 방법을 제시한다. 그림 6은 본 논문에서 제시하는 Missed-edge 예측 및 억제 알고리즘이 포함된 D_n 출력 시퀀스를 나타낸다. 이때, $D_{n,mp}[k]$ 는 셀 n 에 대한 정규화 직후의 D_n 을 나타낸다. Missed-edge가 예측된 셀은 제안하는 기법에 의해 변조되어 최종 $D_n[k]$ 이 출력된다.

그림 7은 $k-1$ 에서 Missed-edge가 예측되었을 경우 지령

변조를 통해 Missed-edge의 발생을 억제하는 과정을 나타낸다. $k-1$ 에서 Missed-edge가 예측된 셀 m 은 k 에서 $D_m[k]$ 를 갱신하지 않고 $D_m[k-1]$ 의 값으로 유지하여 Missed-edge의 발생을 억제한다. D_m 이 갱신되지 않을 경우 k 에서 식 (1)이 유효하지 않기 때문에, Missed-edge가 발생하지 않고 SW_m 이 반드시 갱신된다.

4. 시뮬레이션 결과

제안하는 기법의 타당성은 DSIM 시뮬레이션 툴을 이용하여 검증한다. 시뮬레이션 회로도는 그림 1과 동일하게 3-셀 CHB이며, 시뮬레이션 파라미터는 표 2에 나타난다. 또한 Missed-edge 모의 및 억제를 위해 RL부하에서 출력 전류 제어를 수행한다. 그림 8은 제안하는 기법의 적용 여부에 따른 v_{CHB} 및 출력 전류 (i_{Load}) 파형을 나타낸다. 또한, $FlagMissed-edge,n$ 은 셀 n 에서 Missed-edge 예측 결과를 나타내는 함수이며 이전 제어주기에서 Missed-edge를 탐지하였을 때는 1을 출력하고 그렇지 않을 경우 0을 출력한다. 그림 8(a)는 제안하는 기법을 적용하지 않았기 때문에, Missed-edge가 발생하여 $v_{cell,n}$, v_{CHB} 에 오차가 발생하고 결국 i_{Load} 에 서지가 발생하는 것을 확인할 수 있다. 그러나 그림 8(b)는 제안하는 기법이 적용되었기 때문에 모든 Missed-edge가 억제되어 i_{Load} 에 서지가 발생하지 않는 것을 확인할 수 있다.

5. 결론

본 논문에서는 DSP 기반의 CHB를 PS-PWM으로 변조할 경우 CHB 출력 전압의 오차와 출력 전류 서지를 유발하는 Missed-edge를 예측하고 억제하는 기법을 제안하였다. 제안하는 기법은 현재 및 이전의 스위칭 듀티와 반송파의 부호 및 크기를 이용하여 다음 제어주기에 발생할 Missed-edge를 예측하였고, Missed-edge가 예측된 셀은 스위칭 듀티를 갱신하지 않고 이전 값으로 유지함으로써 Missed-edge의 발생을 억제하였다. 제안하는 기법의 타당성은 DSIM 시뮬레이션 결과를 통해 검증하였다.

본 논문은 2024년도 정부(산업통상자원부)의 재원으로 한국산업기술진흥원(KIAT)의 지원을 받아 수행된 연구임 (No. P0017120, 2024년 산업혁신인재성장지원사업)

참고 문헌

- [1] G. R. Walker, "Digitally-implemented naturally sampled PWM suitable for multilevel converter control," in *IEEE Transactions on Power Electronics*, vol. 18, no. 6, pp. 1322-1329, Nov. 2003.
- [2] L. Maharjan, S. Inoue and H. Akagi, "A Transformerless Energy Storage System Based on a Cascade Multilevel PWM Converter With Star Configuration," in *IEEE Transactions on Industry Applications*, vol. 44, no. 5, pp. 1621-1630, Sept.-Oct. 2008.
- [3] Bon-Ho Bae and S. -K. Sul, "A compensation method for time delay of full digital synchronous frame current regulator of PWM AC drives," *Conference Record of the 2001 IEEE Industry Applications Conference*. 36th IAS Annual Meeting (Cat. No.01CH37248), Chicago, IL, USA, 2001, pp. 1708-1714 vol.3.